



Московский физико-технический институт (НИУ)
Физтех-школа радиотехники и компьютерных технологий

Базовая кафедра информатики и вычислительной техники



Базовые организации

АО «МЦСТ» и ПАО «ИНЭУМ им. И.С. Брука»

Продукция:

АО «МЦСТ»

- микропроцессоры и СБИС
- системные и периферийные модули
- вычислительные модули и комплексы

ПАО «ИНЭУМ им. И.С. Брука»

- промышленная автоматизация
- медицинская техника

Наши ученые:

- 1 Заслуженный деятель науки РФ
- 5 докторов наук
- 40 кандидатов наук
- Всего более 400 сотрудников

Участие в стратегических государственных проектах

История

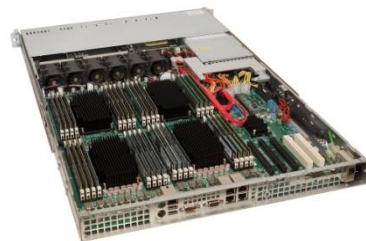
- Школа академика С.А. Лебедева
- **1967 год** – БЭСМ-6 (стековая адресация, виртуальная память)
- **1975 год** – на БЭСМ-6 выполнялся обсчет телеметрии во время полета «Союз-Аполлон»
- **1985 год** – Эльбрус-2, используется в ПРО Москвы
- **1992 год** – создание ТОО «Московский Центр SPARC-технологий»
- **1998 год** – «Эльбрус-90микро», первый отечественный ВК на интегральной схеме, применяются на командных пунктах ВКО
- **2010 год** – «Эльбрус-S», первый МП с архитектурой Эльбрус для многопроцессорных ВК с распределенной памятью
- **2014 год** – «Эльбрус-8С», первый 8-ядерный отечественный МП на технологии 28 нм
- **2020 год** – на выставке «Микроэлектроника-2020» представлен инженерный образец 16-ядерного процессора «Эльбрус-16С» на технологии 16 нм

Продукция

- **универсальный микропроцессор «Эльбрус-8СВ»:**
 - 8 ядер, 1.5 ГГц, до 128 Гб DDR4-2400
- **сервер Эльбрус 804 1U:**
 - 32 ядра (4хЭльбрус-8С), 1.3 ГГц, до 256 Гб DDR3-1600
- **настольный компьютер Эльбрус-801 РС:**
 - 8 ядер, 1.3 ГГц, до 64 Гб DDR3-1600, 1 Gigabit Ethernet, 1 Тб HDD, поддержка SSD
- **компьютерные модули во встроенном и мобильном исполнении, жесткие условия эксплуатации**
- **дистрибутив общего программного обеспечения «Эльбрус»: оптимизирующий/двоичный компилятор, ядро ОС двух версий**



Эльбрус-8СВ



Эльбрус 804 1U



Эльбрус-801 РС

Архитектура Эльбрус

Параллельная энергоэффективная архитектура

- 25-48 оп. за такт за счет явного аппаратного параллелизма операций
- высокая однопоточная производительность при малом энергопотреблении
- распараллеливание оптимизирующим компилятором
- сбалансированное соотношение производительности процессора и памяти

Эффективная двоичная совместимость с x86, x86-64

- исполнение приложений в кодах x86, x86-64 (Windows XP, 7, 10, Linux, QXP)
- базируется на поддерживаемой аппаратно технологии динамической двоичной компиляции
- производительность до 80% от нативной (в кодах Эльбруса)

Технология безопасных вычислений

- аппаратная защита логической структуры памяти
- гарантированное обнаружение атак, нарушающих структуру памяти
- повышение надежности программ
- повышение скорости отладки программ



Базовая кафедра

Заведующий кафедрой – д.т.н., проф. *Перекатов Валерий Иванович*,
Заслуженный деятель науки РФ

- Основана в 2006 году, наследует несколько кафедр (начиная с кафедры ЭВМ 1955), связанных с созданием *отечественных* высокопроизводительных вычислительных систем
- **15** учебных курсов
- все преподаватели – сотрудники МЦСТ/ИНЭУМ, среди них **4** доктора наук, **2** кандидата наук
- **24** студента, **4** аспиранта МФТИ проходят обучение в настоящее время
- **73** выпускника за последние 10 лет

Участие студентов в проектной деятельности

Направления:

- архитектура и логическое проектирование микропроцессоров и СБИС (Эльбрус, SPARC, южный мост)
- системы программирования (оптимизирующие языковые и бинарные компиляторы, библиотеки)
- операционные системы (ядро, виртуализация, защищенный режим, драйверы)
- верификация и моделирование аппаратуры
- физическое проектирование СБИС

Базовая кафедра: читаемые курсы

Направления:

- архитектура современных вычислительных систем и сетей
- логическая верификация аппаратуры
- оптимизирующие компиляторы и операционные системы
- физическое проектирование СБИС
- проектирование вычислительных модулей и комплексов

3 курс	4 курс		5 курс	
Проект. ЦУ на ПЛИС	Архитектура 1		Архитектура 2	
	Вычислительные сети		Верификация	Нейросети
	ОС 1	Компиляторы		ОС 2
	Элементы ЦУ	Целостность сигналов	Физ. проект. СБИС	Проектирование модулей

Академическая деятельность

Публикации в журналах ВАК:

- «Радиопромышленность»
- «Электроника НТБ»
- «Труды Института системного программирования РАН»

Публикации в журналах IEEE:

International Conference on Engineering & Telecommunication

Участие в конференциях:

- Микроэлектроника (г. Алушта, Крым)
- Научная конференция МФТИ (секция)
- Научно-техническая конференция АО «Концерн ВКО «Алмаз-Антей»
- International Conference on Tools and Methods of Program Analysis



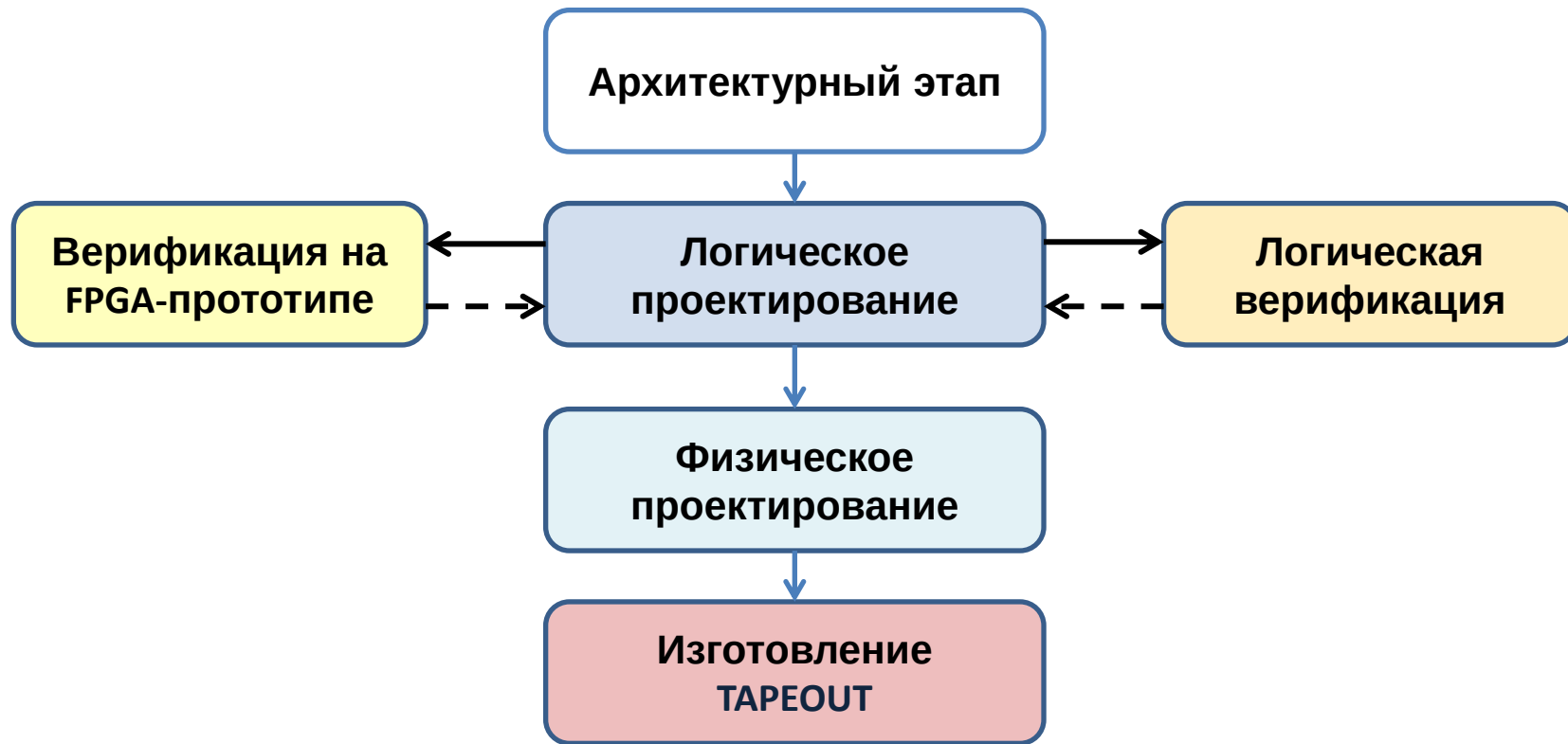


Архитектура и логическое проектирование микропроцессоров

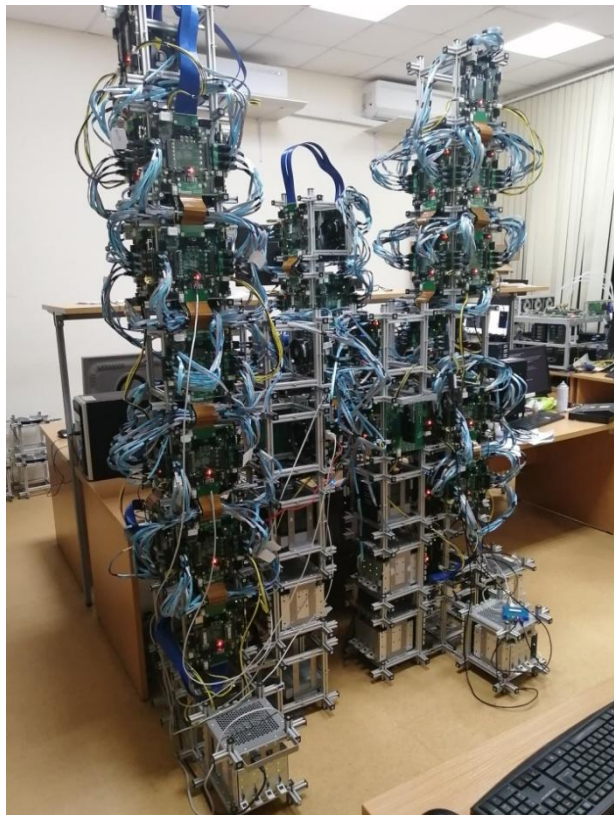
Альфонсо Даниил Максимович
АО «МЦСТ», МФТИ



Маршрут проектирования микропроцессоров

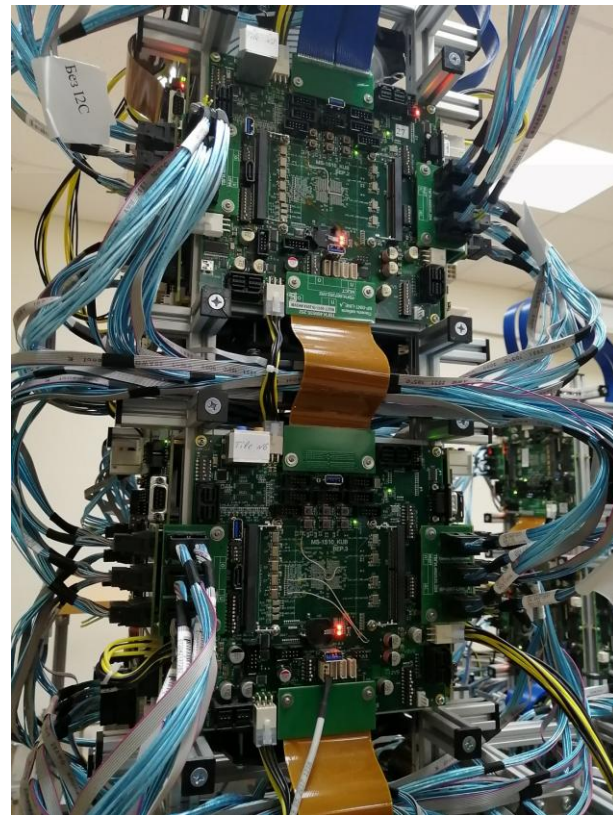


Прототипирование на ПЛИС

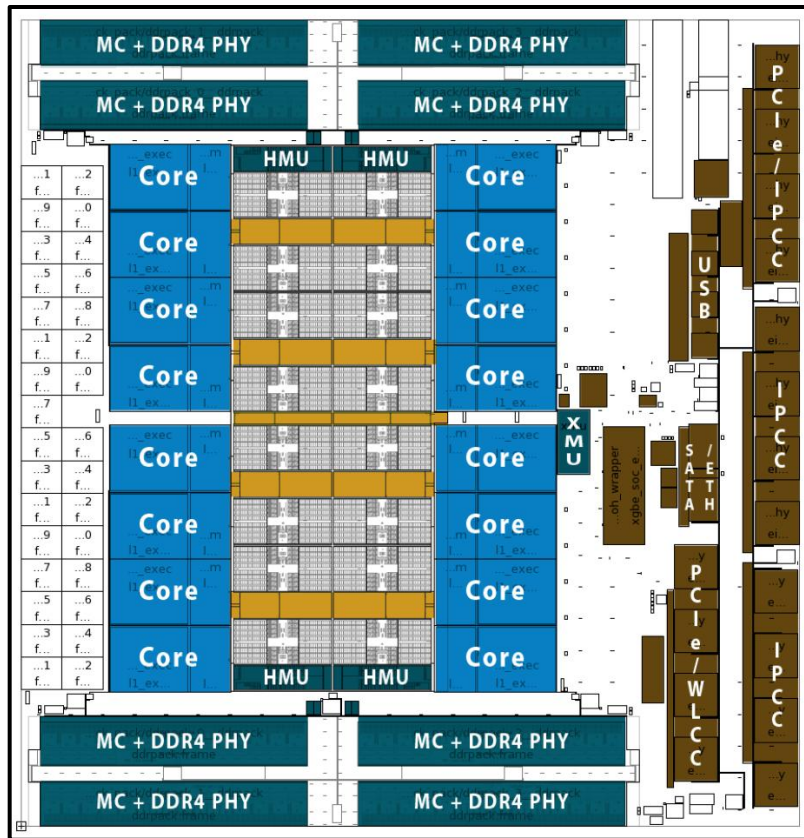


Двухпроцессорная система на прототипах МП Эльбрус-16С

- оперативная память 64Гб DDR4 SODIMM
- частота работы – 3 МГц (в 10^5 раз быстрее моделирования)
- позволяет подключать периферийные устройства
- позволяет загружать Linux
- позволяет находить логические ошибки и отлаживать ПО (ОС, драйверы) до выпуска чипа



Эльбрус-16С



- 16 ядер Эльбрус
- частота 2 ГГц
- L2-кэш 1 МБ на ядро
- Общий L3-кэш 32 МБ
- до 1 Тб DDR4-3200
- 8 каналов памяти с ECC
- Объединение до 4 процессоров в NUMA-систему
- Технологический процесс 16 нм
- Производительность 1,5 TFlops (FP32)
- Аппаратная поддержка виртуализации
- Распределённая сеть-на-кристалле
- Мощность не более 130 Вт

Направления и тематика разработок

Направления разработок

- **многоядерные высокопроизводительные** МП Эльбрус (Эльбрус-4С, Эльбрус-8С, Эльбрус-16С, Эльбрус-12С)
- МП Эльбрус для **встроенных применений** (Эльбрус-1С+, Эльбрус-2С3)
- МП с архитектурой **SPARC** (МЦСТ-R1000)
- контроллер периферийных интерфейсов (**КПИ**)

Тематика разработок

- **VLIW-архитектура** МП
- микроархитектура процессорного ядра **Эльбрус**
- **подсистема памяти:**
 - кэш-память L1/L2/L3
 - многопроцессорные NUMA-системы
 - контроллеры памяти
- **сеть-на-кристалле**
- **интеграция IP-блоков** – графических DSP-сопроцессоров, контроллеров высокоскоростных интерфейсов (PCIe 4.0, USB 3.0, 10Gb Ethernet, ...)



Отдел моделирования и верификации

Фролов Павел Викторович
АО «МЦСТ», ПАО «ИНЭУМ», МФТИ



Отдел моделирования и верификации

Структура:

- Сектор моделирования
- Сектор автономной верификации
- Сектор системной верификации

Сектор автономной верификации

Программное моделирование верифицируемого устройства в тестовом окружении

Тесты – последовательности транзакций на внешних устройствах окружения

Верификация отдельных модулей:

- разработка тестовой системы (testbench)
- разработка тестовых сценариев
- формирование и анализ тестового покрытия

Инструментарий:

- программные симуляторы RTL-описания
- VIP-блоки (элементы тестового окружения от сторонних поставщиков)
- инструментарий формирования и анализа тестовых методов на основе формальных методов

Используемые языки программирования:

- SystemVerilog (+ UVM)
- C++
- сценарные языки (tcl, bash)

Сектор системной верификации

- Верификация – программное моделирование верифицируемого устройства в составе микропроцессора / системы-на-кристалле
- Тесты – программы, исполняемые на вычислительных ядрах верифицируемой системы в отсутствие операционной системы
- Помимо верификации осуществляется программная валидация разрабатываемых аппаратных устройств

Языки разработки тестовых программ

Язык ассемблера (Эльбрус / Sparc)

- система команд
- конвейер и вычислительные модули ядра
- устройство управления
- устройство трансляции адресов (MMU)
- подсистема памяти: кэш-память инструкций и данных

C++

- подсистема прерываний
- периферийные контроллеры (SATA, USB, Ethernet, etc.)
- графическая подсистема
- устройства северного моста (IOMMU, PMC)

Для разработки тестов также реализуются сопутствующие библиотеки, для исполнения на RTL – соответствующие тестовые системы

Сектор системной верификации

Генераторы тестов

Генератор тестов – пользовательская программа, формирующая программу на основе заданных параметров

Языки реализации: C++, python

Этапы проектирования генератора тестов:

- модель верифицируемого устройства и модель ошибок
- модель теста (тестовый сценарий)
- алгоритм построения (случайного) теста по заданной модели

Требования к генераторам:

- параметризация сценариев генерации для проверки различных тестовых ситуаций
- самопроверка в тестах
- параметризация под различные среды исполнения: RTL-модель, прототип на ПЛИС, кремний

Сектор системной верификации

Пример задачи. Генератор тестов устройства управления с предсказателями переходов

- Предсказатель переходов выносит спекулятивное решение для перехода на основе истории переходов и успешности предыдущих предсказаний
- История адресов строится на основе целевых адресов перехода и/или адресов инструкций передачи управления
- Аппаратура реализует разные механизмы предсказания для ветвлений, циклов, вызовов функций и возвратов из них

Модель теста:

- граф управления
- конечная трасса обхода графа управления
- дерево вызовов

Преобразование модели в тестовую программу:

- формирование инструкций перехода и вспомогательных инструкций для реализации заданной трассы обхода графа управления
- учёт структуры предсказателей при размещении инструкций в памяти

Сектор системной верификации

Пример задачи. Верификация графического адаптера

Графический адаптер осуществляет преобразование изображений и их вывод через определённые графические интерфейсы (VGA, HDMI, DSI)

Тестовая система:

- формирование образов изображений в памяти системы-на-кристалле
- программирование и запуск графического адаптера
- генерация эталонного выхода и сравнение фактического выхода графических интерфейсов с эталонным

Тесты:

- настройка выходных интерфейсов
- перебор режимов адаптера и его подмодулей
- взаимодействие с системой (маршрутизация пакетов различных типов, трансляция DMA-обращений, прерывания)

Тесты строятся на основе библиотеки, выполняющей функции драйвера



Разработка оптимизирующего компилятора

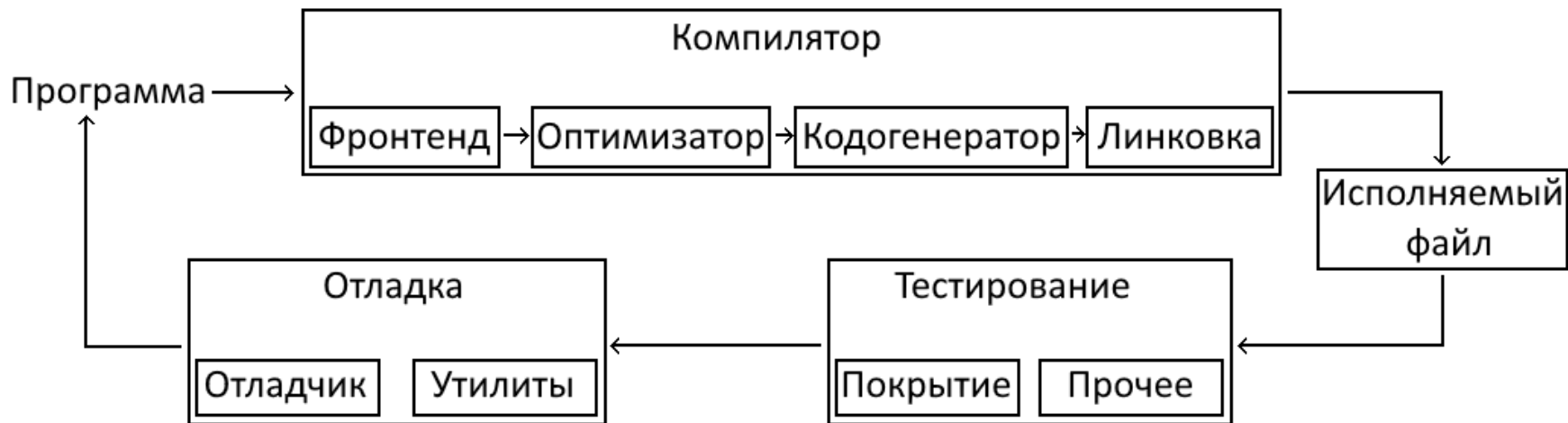
Шампаров Виктор Евгеньевич
АО «МЦСТ», МФТИ
Victor.E.Shamparov@mcst.ru



Что такое компилятор

Компилятор – комплекс программ, преобразующих исходный код в исполняемый файл

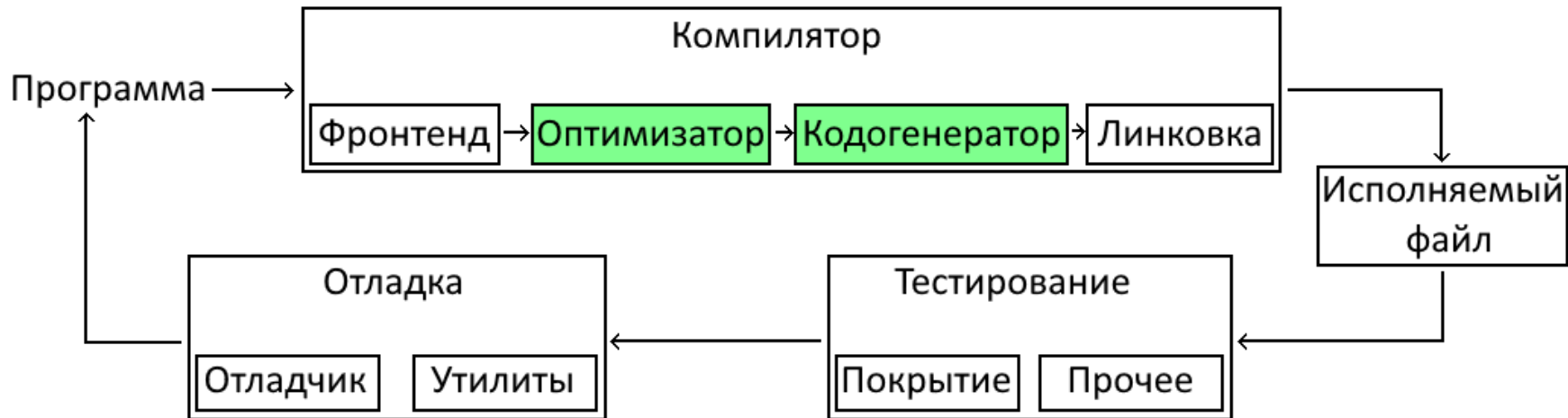
Входит в **toolchain** – набор программ для разработки



Оптимизации

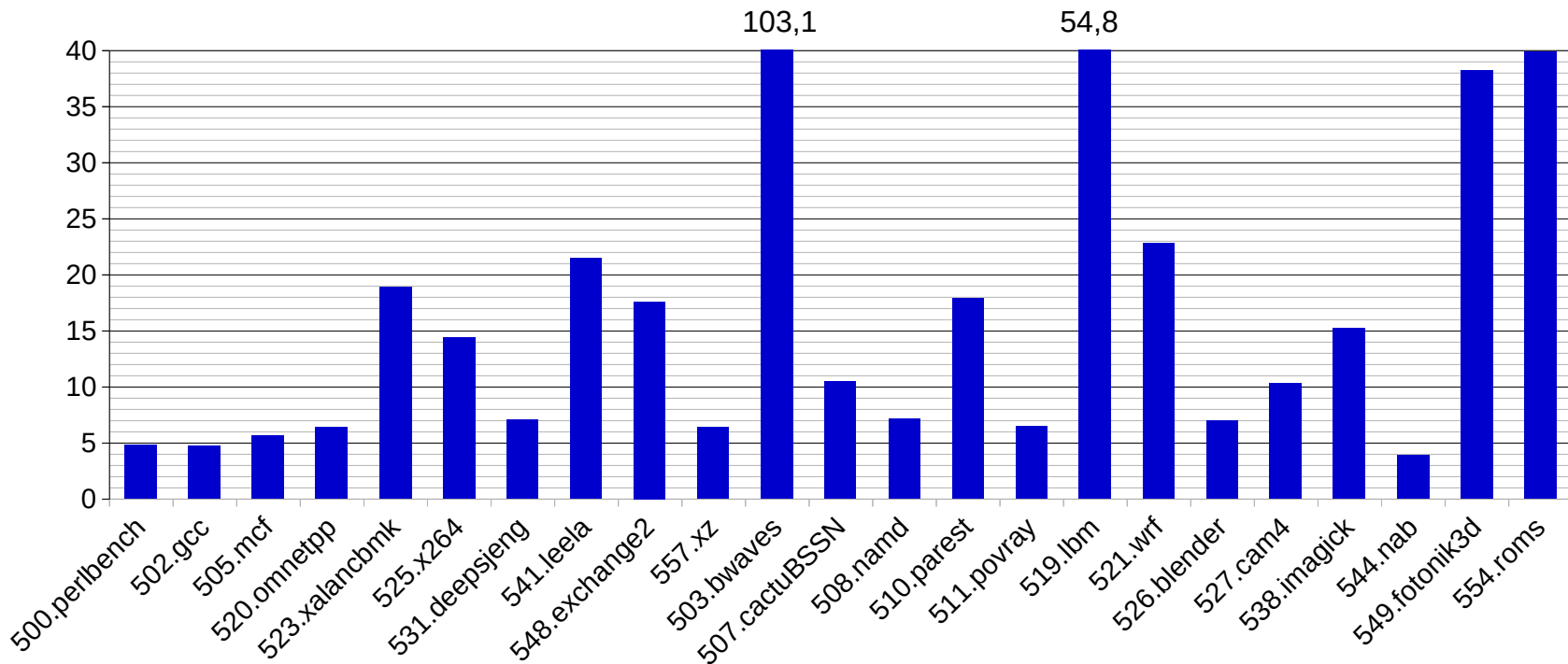
Улучшение характеристик программы без изменения ее поведения

- Ускорение исполнения
- Уменьшение размера исполняемого файла
- (дополнительно) Поиск некоторых ошибок



Эффект оптимизаций

Ускорение в режиме **peak** относительно –O0



Направления развития

- **Совершенствование** оптимизатора
 - Новые оптимизации
 - Улучшение существующих оптимизаций
- **Поддержка** новых языков
- **Поддержка** новых возможностей аппаратуры
- **Анализ** возможностей ускорения программ
- **Интеграция** с основными компиляторами

Смежная деятельность

- Аналитика
- Бинарный компилятор
- Компоненты системы программирования
- Математическая библиотека EML для быстрых вычислений
- Тестирование

Что дает обучение у нас

- **Командная работа** в большом проекте
- **Навыки анализа программ**
- **Понимание принципов** работы процессора
- **Внедрение дипломной разработки** в промышленный компилятор
- Работа **на стыке науки и практики**



Операционные системы

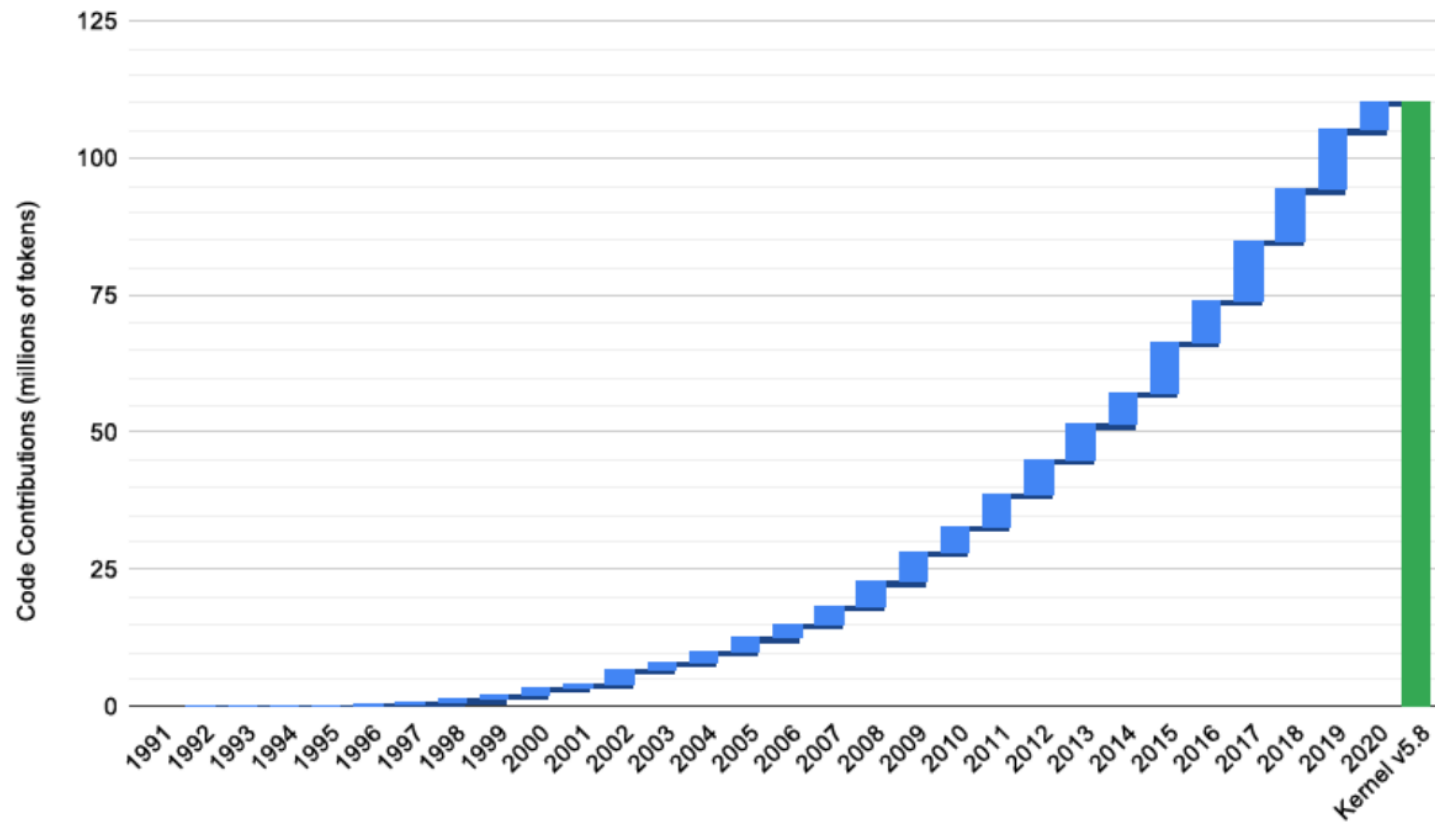
Аблакатов Михаил Андреевич
АО «МЦСТ», МФТИ



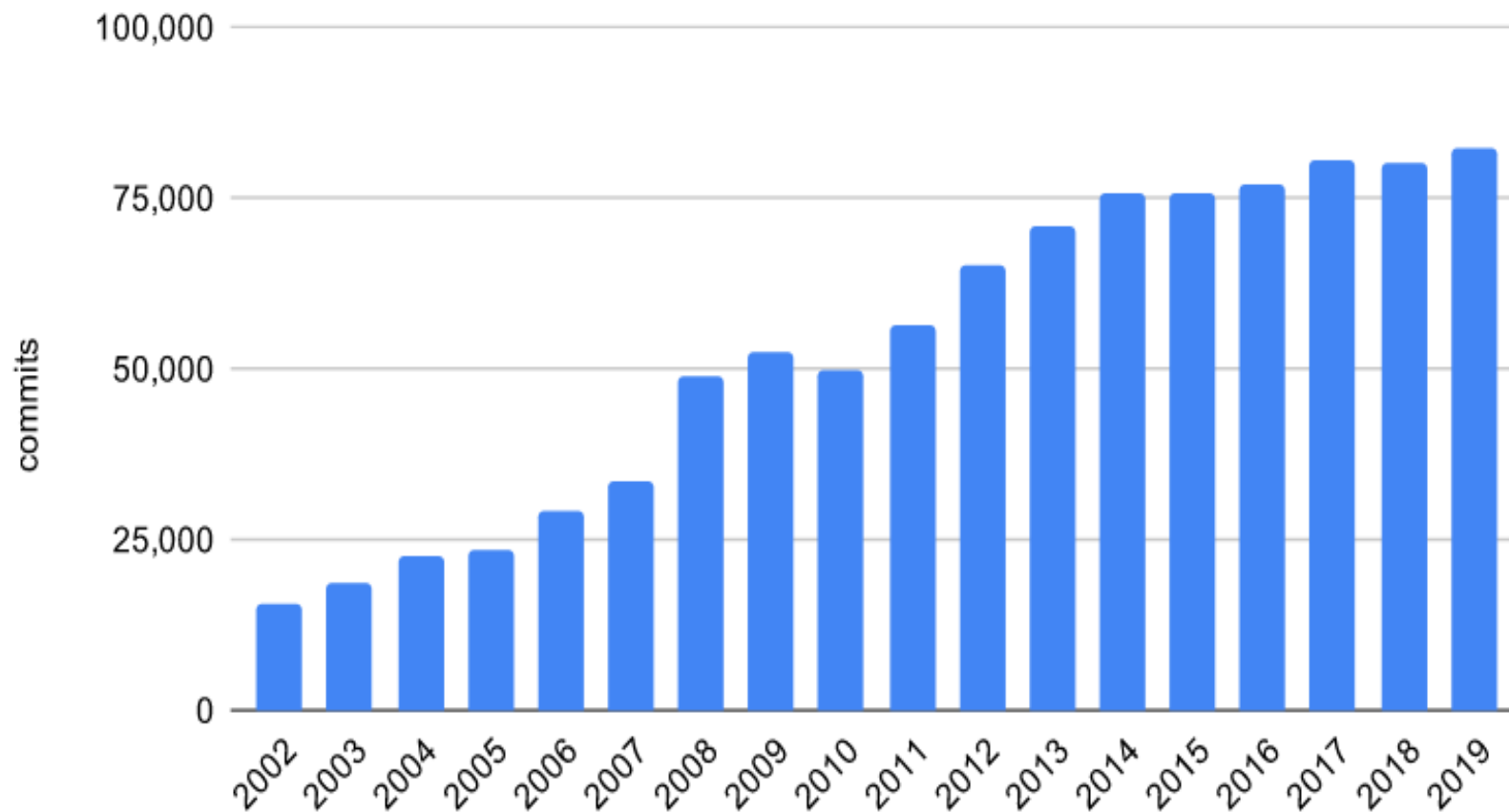
Ядро Linux

- 28 млн. строк кода
 - 30 архитектур
 - 4000 контрибуторов
 - 400 компаний
 - 10 коммитов/час
- 100% суперкомпьютеров
 - 60% автомобилей
 - 69% embedded
 - 96% web-серверов

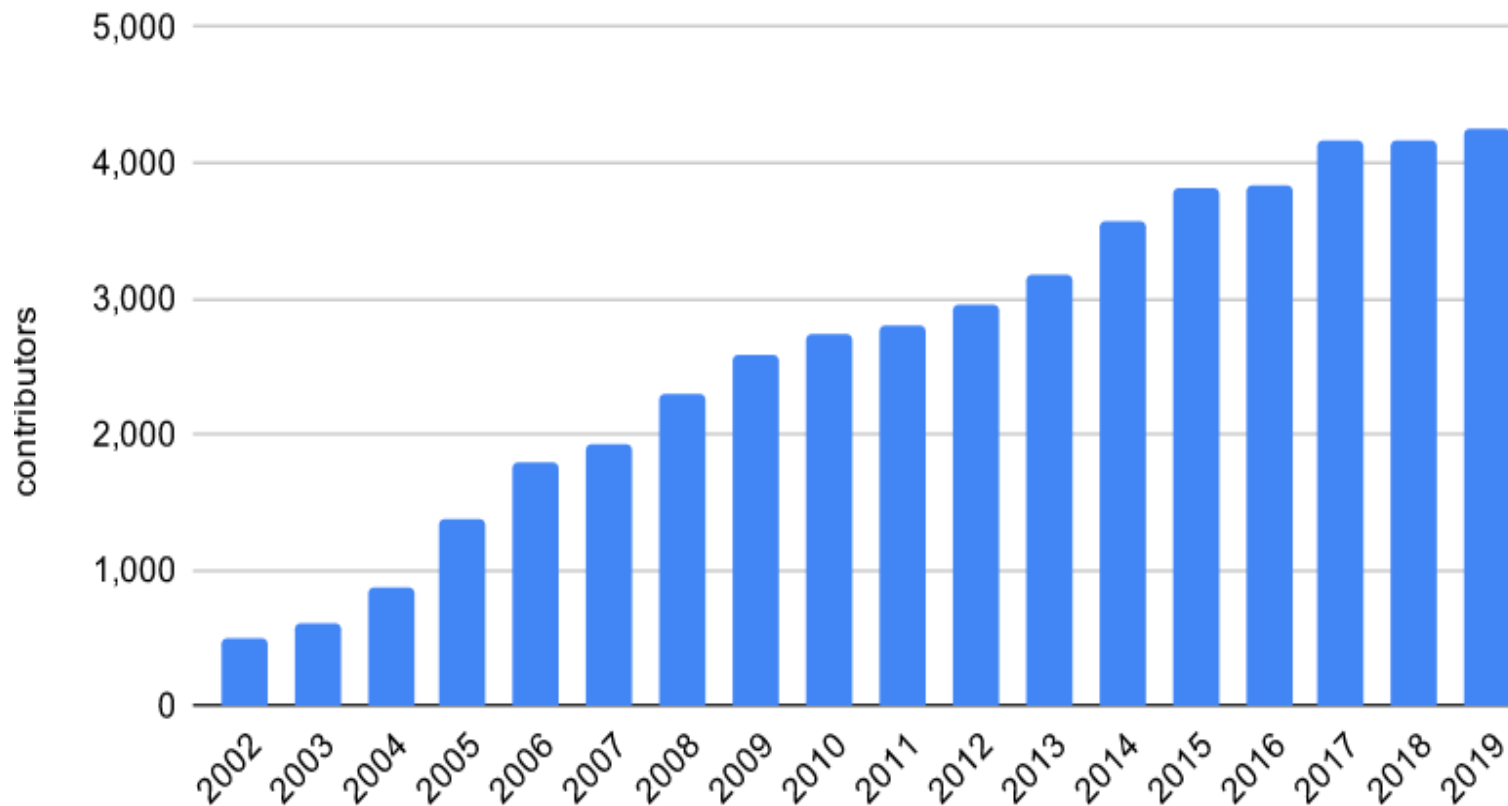
Динамика проекта



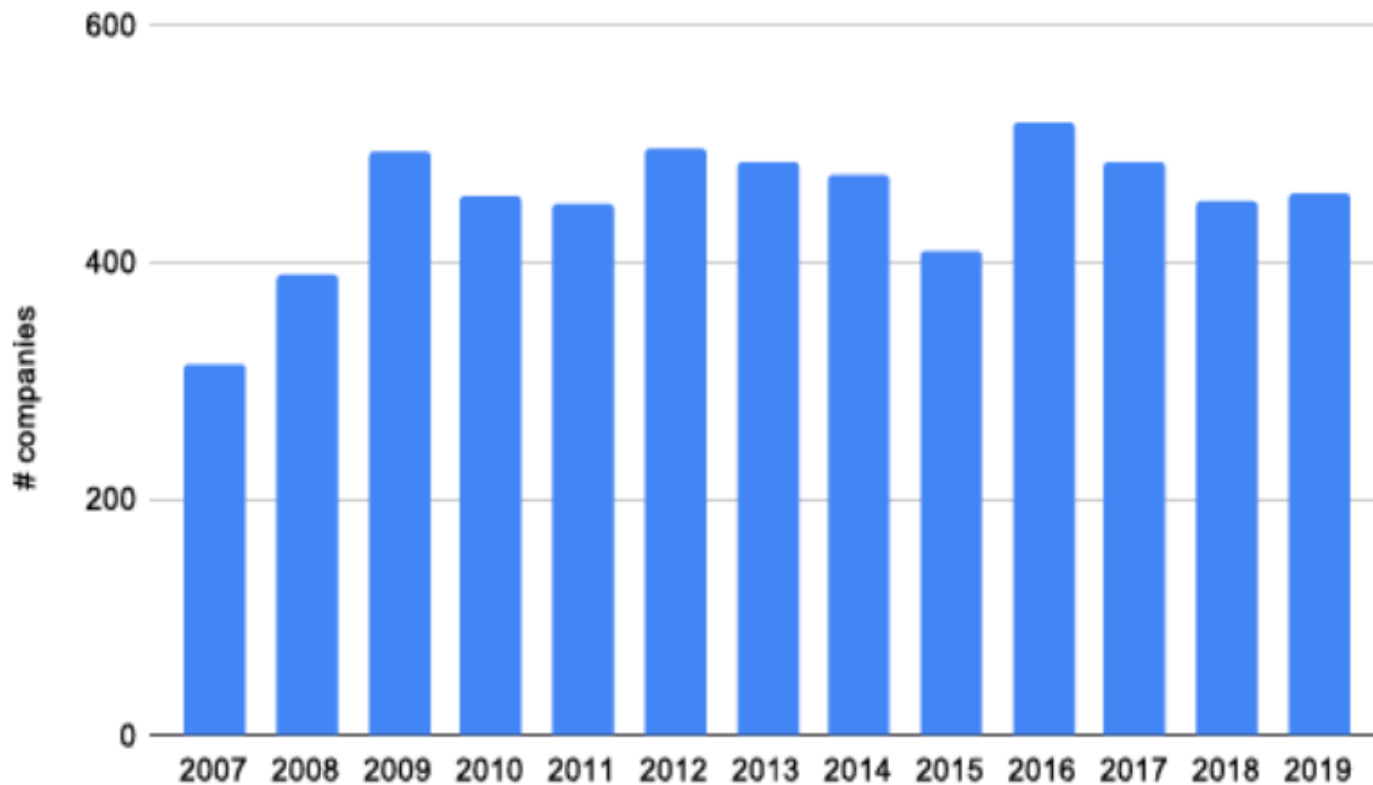
Динамика проекта



Динамика проекта



Динамика проекта

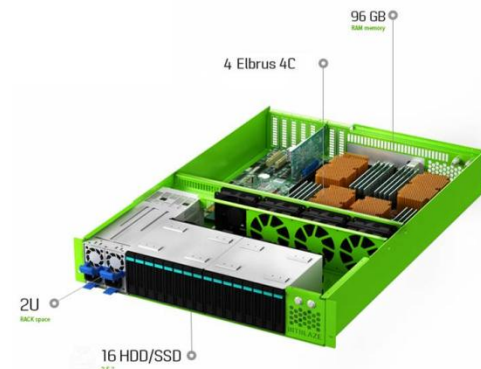


Почему разработка ядра?

- Сложно, комплексно, интересно
- Влияние и охват
- Open source
- Всемирное сообщество
- Удаленная работа

Linux в МЦСТ и ИНЭУМ

- Серверные решения
 - Системы хранения данных
 - Вычислительные системы
 - Аналитические комплексы
- Защищённые ноутбуки
- Промышленные компьютеры



Ядро Linux в МЦСТ и ИНЭУМ

- Поддержка архитектур E2K и SPARC64
- Разработка драйверов устройств
- Виртуализация E2K QEMU-KVM

НЕ Linux в МЦСТ и ИНЭУМ?

- Программы начального старта
- Авиационные ОС реального времени
- Системы промышленных контроллеров
- Системы для ЖД, АЭС и электрических подстанций

Учебные курсы

- Алгоритмы и структуры данных ядра операционной системы (Linux)
- Особенности реализации ОС Linux для архитектуры Эльбрус

Алгоритмы и структуры данных ядра операционной системы (Linux)

- Диспетчеризация
- Синхронизация
- Модель памяти
- Модель драйверов устройств
- Системные вызовы
- Прерывания
- Соберете ядро
- Развернете систему на виртуальной машине
- Напишете драйвер виртуального устройства
- Воспользуетесь инструментами трассировки и анализа производительности

Особенности реализации ОС Linux для архитектуры Эльбрус

- Оптимизация чтения данных
- Реализация механизмов синхронизации
- Таблицы страниц и TLB
- Режим безопасных вычислений (ЗРИ)
- Виртуализация

Интеграция с дисциплинами кафедры

- **Архитектура современных вычислительных систем и сетей**
- **Оптимизирующие компиляторы и операционные системы**

3 курс	4 курс		5 курс	
Проект. ЦУ на ПЛИС	Архитектура 1		Архитектура 2	
	Вычислительные сети		Верификация	Нейросети
	ОС 1	Компиляторы		ОС 2
	Элементы ЦУ	Целостность сигналов	Физ. проект. СБИС	Проектирование модулей

Что вы получите

GitHub-портфолио

Знания

- Принципы работы ВС
- Устройство ядра ОС

Навыки

- Оптимизация и отладка
- Разработка ядра ОС

Примеры дипломных работ

- Федоров А.В. «Разработка библиотеки нитей POSIX для систем реального времени» (2010)
- Аблакатов М.А. «Программная поддержка видеоустройств с аппаратными функциями ускорения в операционной среде «БАГРОС-4000» для процессоров Эльбрус» (2018)
- Рыбаков С.А. «Разработка адаптера программируемого контроллера прерываний «Эльбрус» с поддержкой виртуализации в ОС «Эльбрус» (2018)
- Демидов А.А. «Отладка и мониторинг прикладных программ в операционной системе реального времени «БагрОС-4000» на базе архитектуры «Эльбрус» (2019)

Контакты

Аблакатов Михаил

mikhail.a.ablakatov@mcst.ru

ablakatov@mipt.ru

ablakatov.m@gmail.com

используйте все три

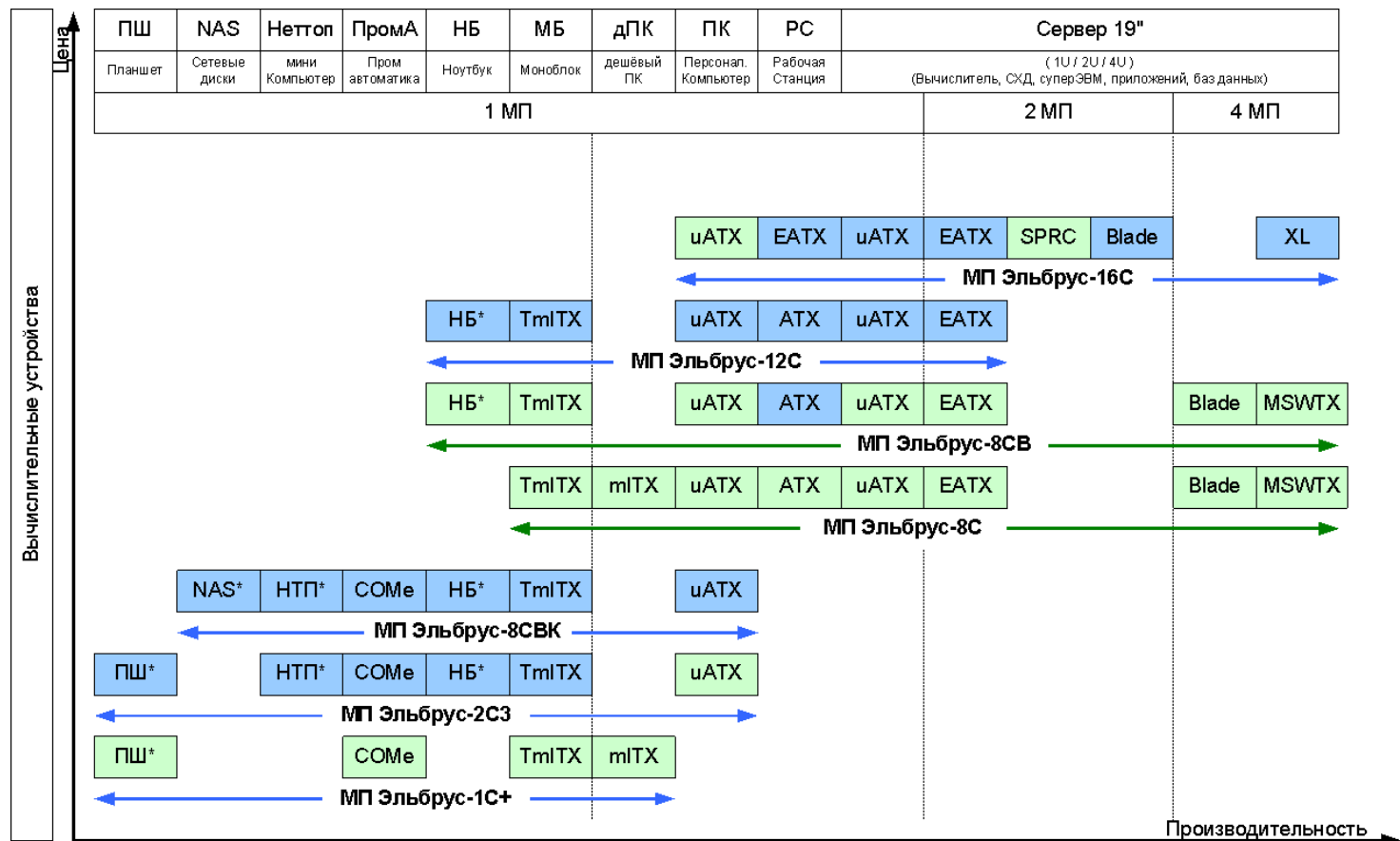


Разработка вычислительных модулей на основе процессоров «Эльбрус»

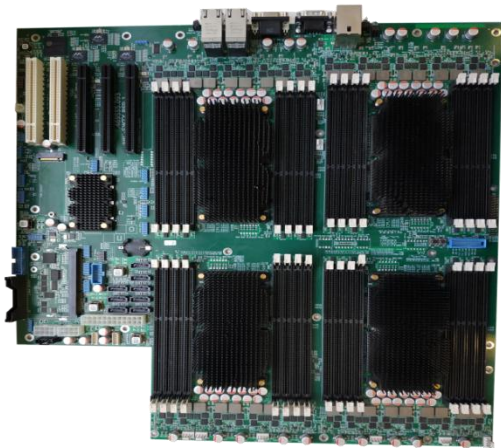
Юрлин Сергей Владимирович
АО «МЦСТ»



Типоряд изделий



Типоряд изделий на Эльбрус-8С



Панель E8C-MSWTX



Панель E8C/EATX



Панель E8C/ATX



Панель E8C-uATX

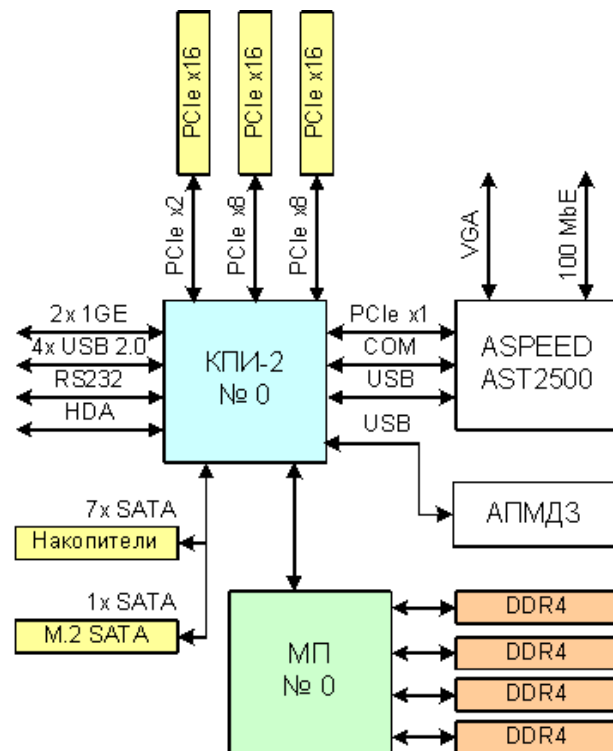
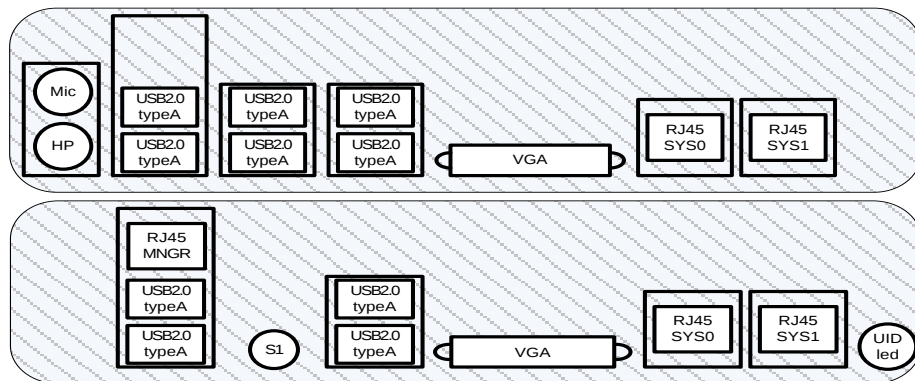


Панель E8C-Blade

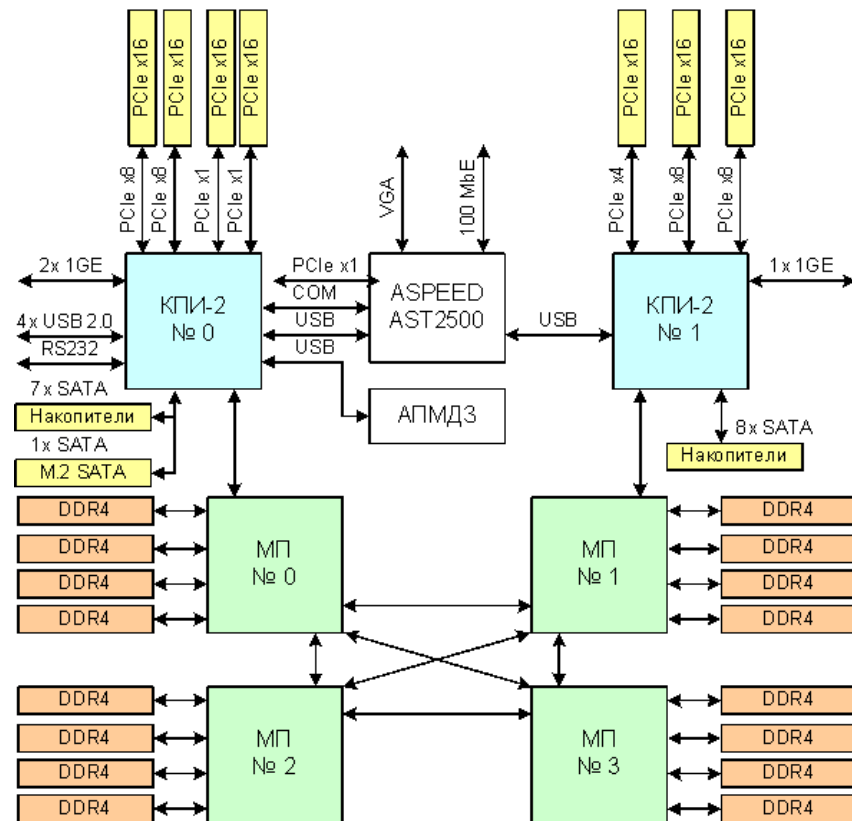
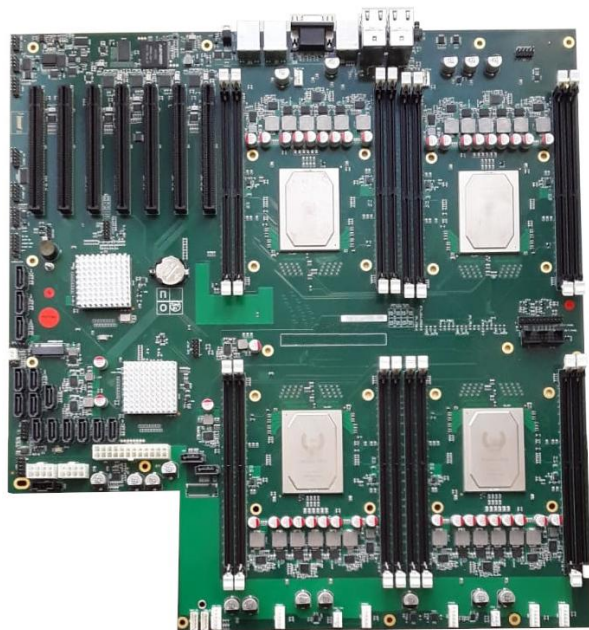
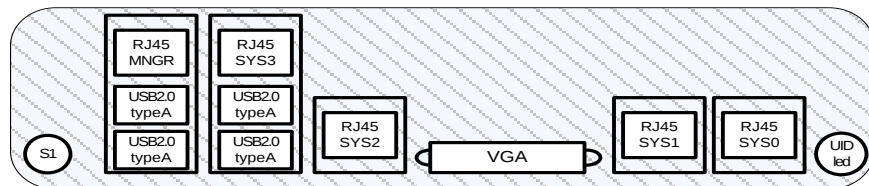


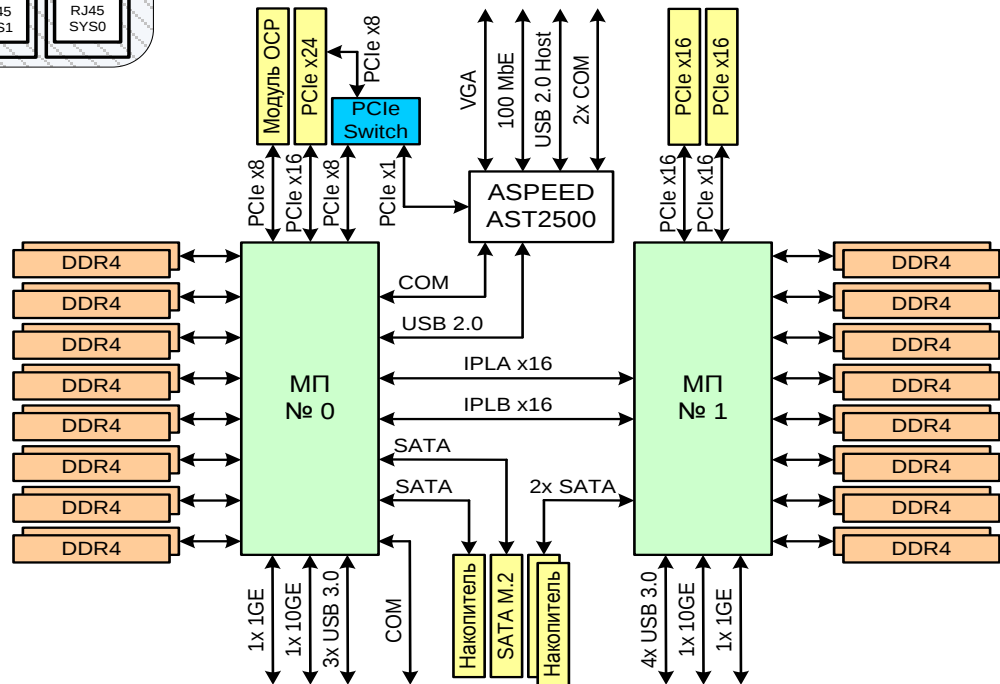
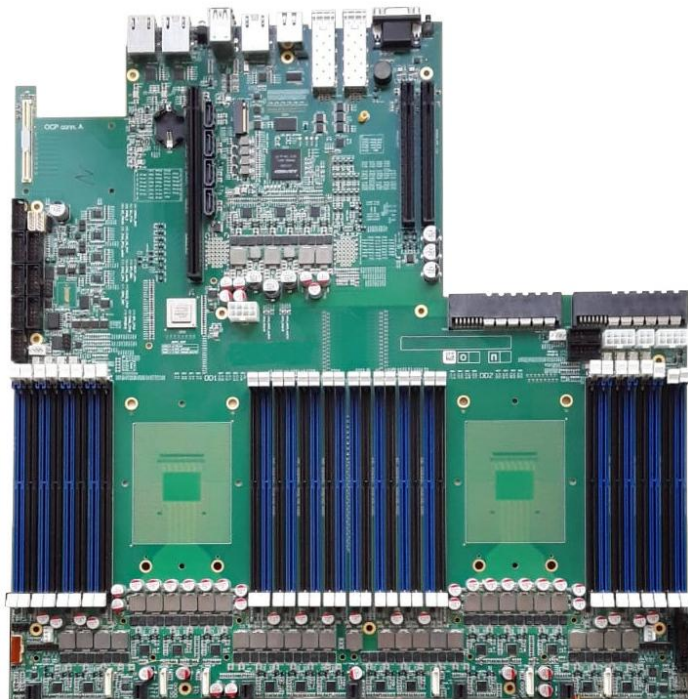
Панель E8C-mITX

Панель 1Э8СВ-иАТХ

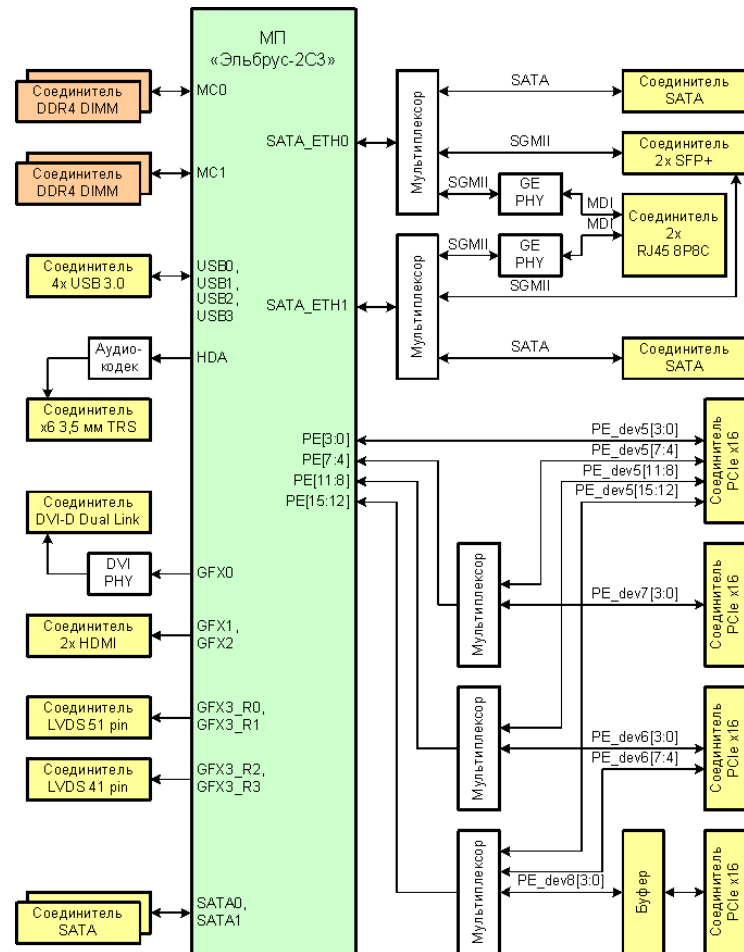
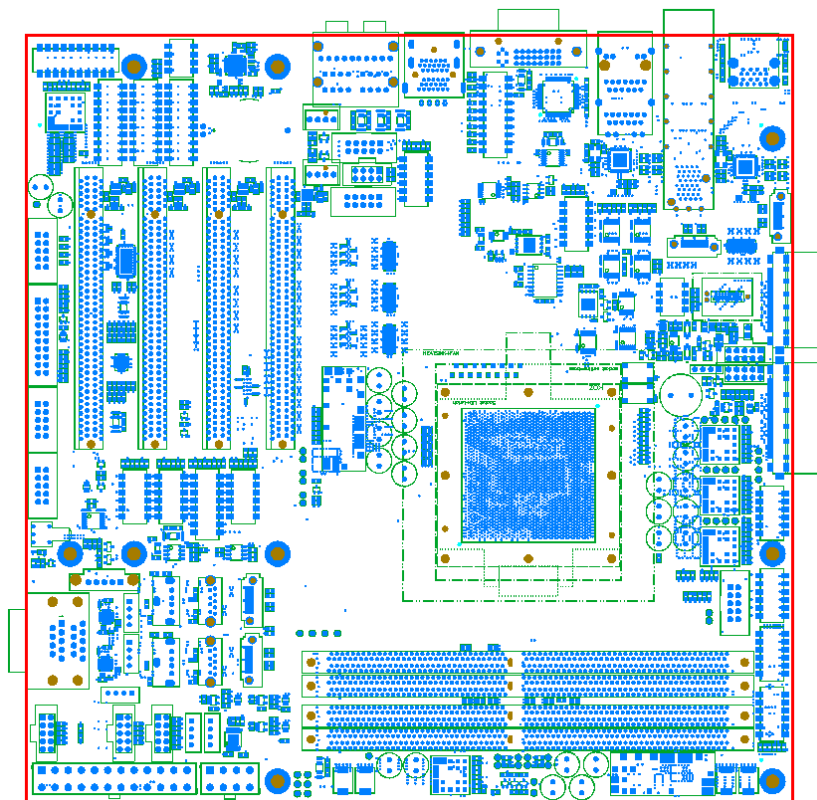


Панель 4Э8СВ-MSWTX

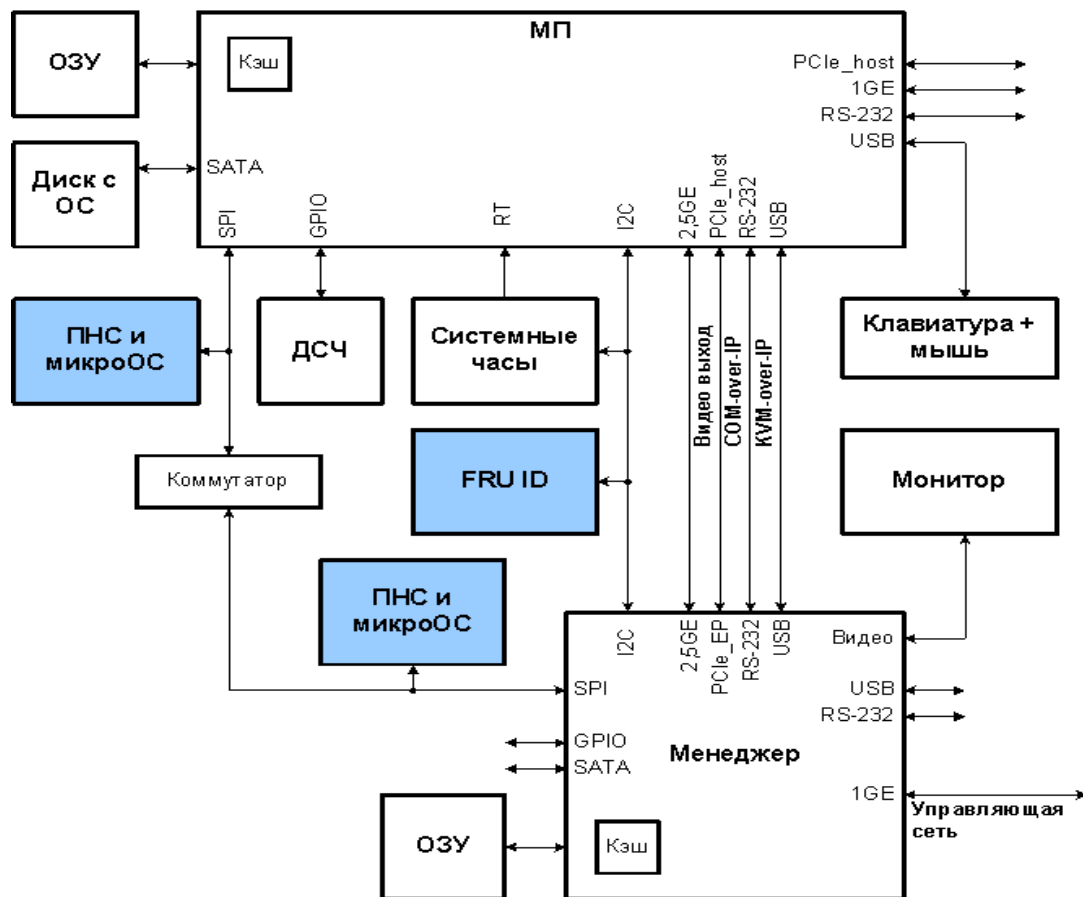




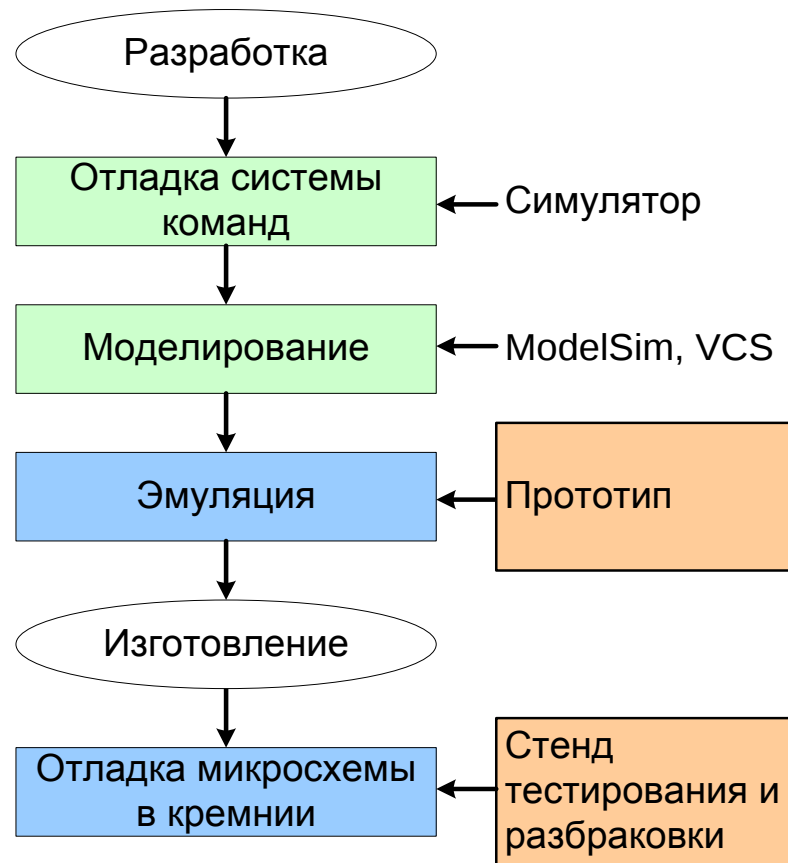
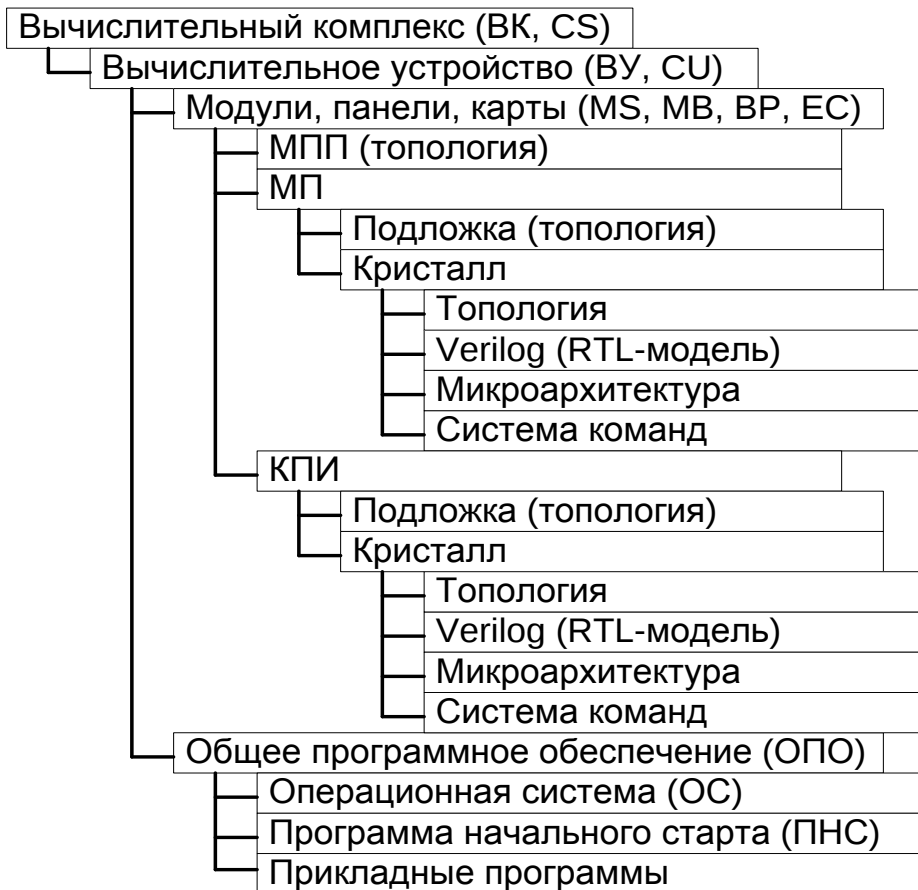
Панель 1Э2С3-иАТХ



Встроенное программное обеспечение

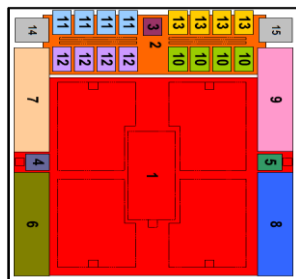


Объем тестирования и маршрут верификации

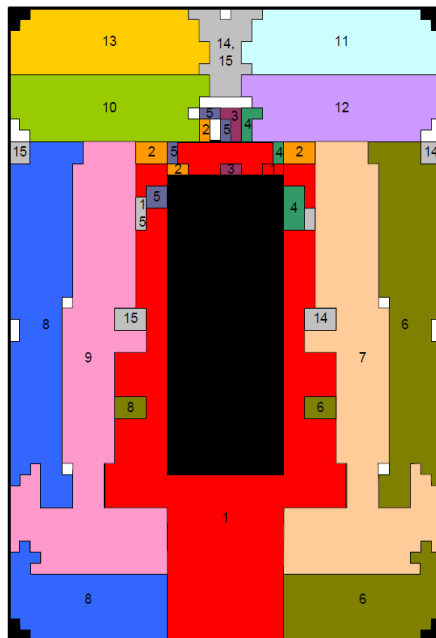


Проектирование процессора

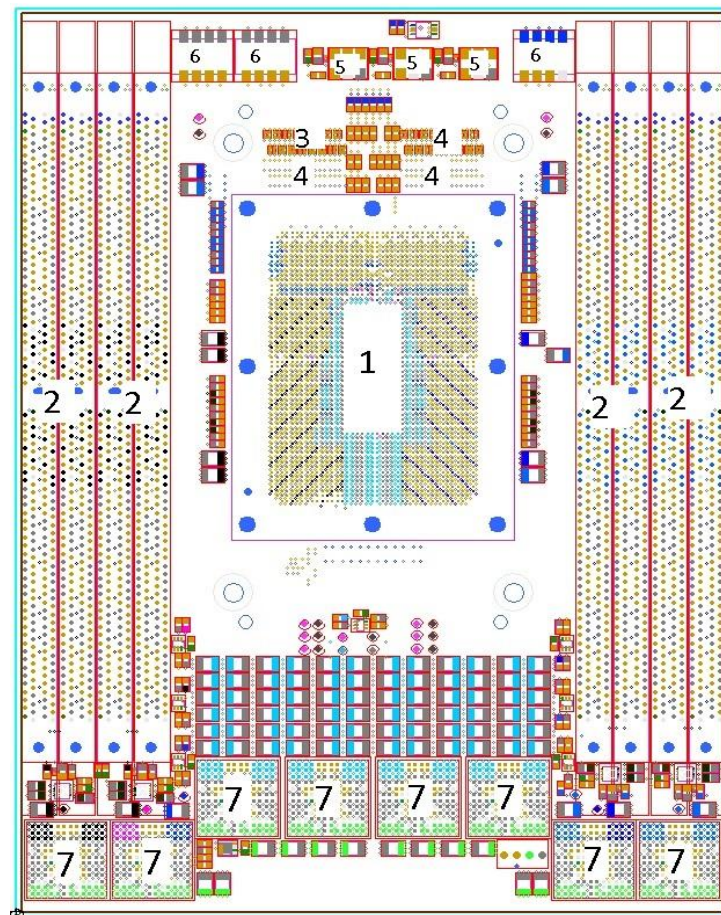
Учёт зон положения групп сигналов



Кристалл



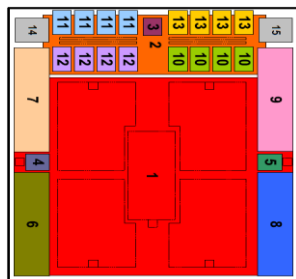
Назначение сигналов
на матрице выводов



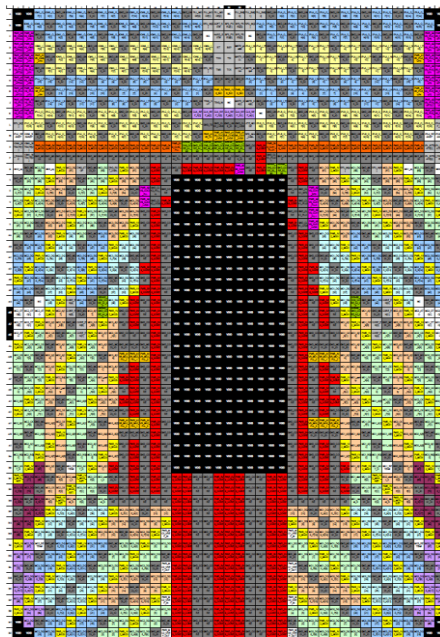
БПУ

Проектирование процессора

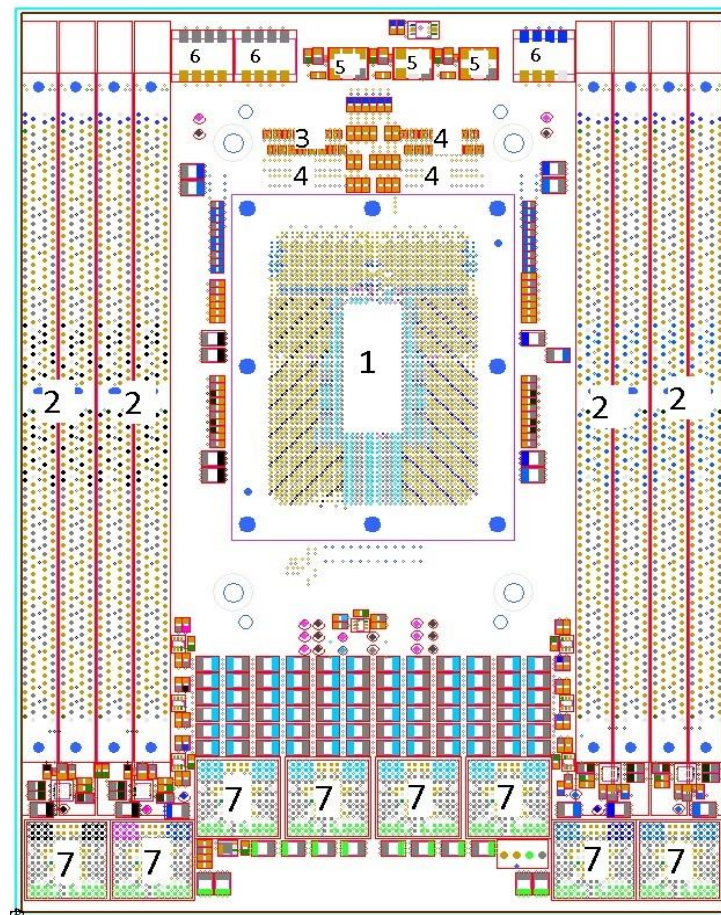
Учёт зон положения групп сигналов



Кристалл

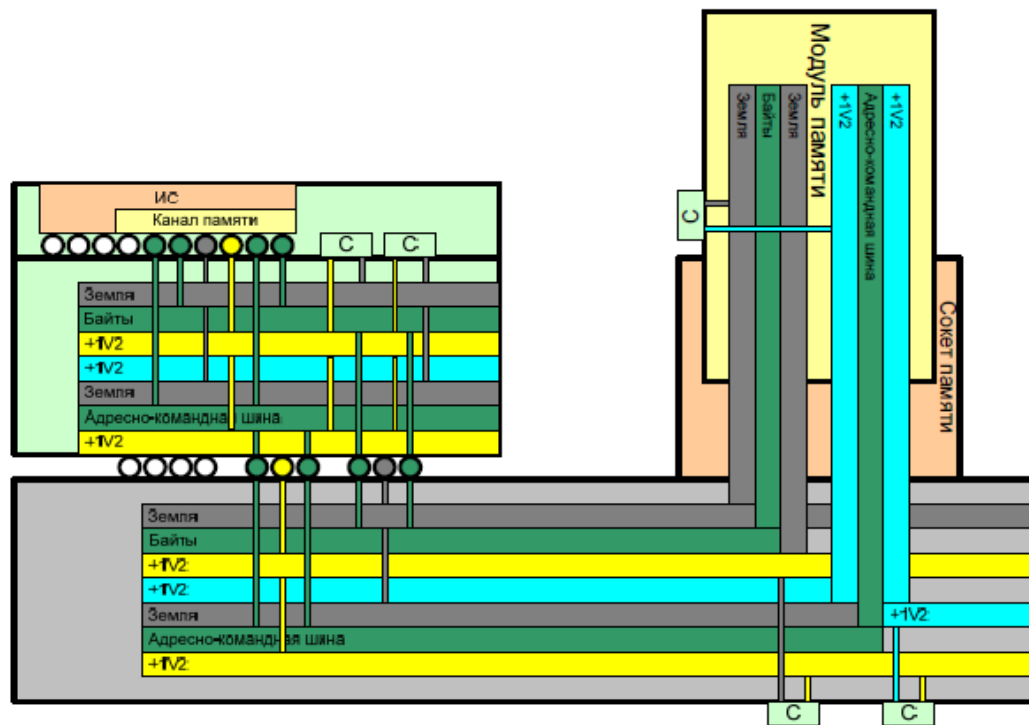


Назначение сигналов
на матрице выводов



БПУ

Проработка целостности сигналов



Учёт топологических структур тракта от кристалла до кристалла
Пример тракта DDR4 в корпусе, МПП и модуле памяти

Преимущества учебы на нашей кафедре

- **современные** учебные курсы
- заработная плата пропорциональна **компетенции** в рамках рабочего проекта
- получение опыта работы **в реальном проекте**
- написание диплома на основе **полученного опыта**
- возможность ведения научной деятельности с непосредственным практическим применением ее результатов
- возможность продолжения обучения в магистратуре и аспирантуре

Контакты

АО «МЦСТ»

mcst.ru



ПАО «ИНЭУМ им. И.С. Брука»

ineum.ru



Заместитель заведующего кафедрой
Сурченко Александр Викторович
Почта кафедры: education@mcst.ru