

Разработка модулей локального хранения и обработки информации о дефектах в блоках кэш-памяти процессора с энергонезависимой памятью

М. О. Цой^{1, 2}, Д. М. Альфонсо^{1, 2}

¹ ФГАОУ ВО «Московский физико-технический институт (национальный исследовательский университет)», Москва, Россия

² АО «МЦСТ», Москва, Россия

Постановка проблемы. С уменьшением технологической нормы производства микропроцессоров растет количество возможных производственных дефектов на кристалле микропроцессора, некоторые типы которых могут проявиться только в ходе основной работы микропроцессора. Для нейтрализации таких дефектов и, как следствие, повышения количества выхода годных микропроцессоров рассматривается аппаратная реализация модуля хранения и обработки информации о дефектах в блоках кэш-памяти процессора с энергонезависимой памятью.

Цель. Исследование различных вариантов реализации такого модуля, выявление сопутствующих проблем и методов их решения, проведение синтеза описанных вариантов реализации с использованием систем автоматического проектирования и сравнение полученных характеристик.

Результаты. По итогам анализа результатов синтеза найдена реализация, занимающая наименьшую площадь на кристалле, предназначенная для внедрения в разрабатываемый микропроцессор «Эльбрус-12С».

Практическая значимость. С учетом современных требований к разработке для повышения количества выхода годных процессоров в работе описаны сопутствующие проблемы и способы их устранения.

Ключевые слова: дефекты кэш-памяти, встроенное самотестирование, BIST, BISR, резервирование, энергонезависимая память, микропроцессор Эльбрус

Для цитирования:

Цой М. О., Альфонсо Д. М. Разработка модулей локального хранения и обработки информации о дефектах в блоках кэш-памяти процессора с энергонезависимой памятью // Радиопромышленность. 2020. Т. 30, № 4. С. 111–118.

DOI: 10.21778/2413-9599-2020-30-4-111-118

© Цой М. О., Альфонсо Д. М., 2020



Developing modules for local storage and handling of cache memory defects information in a processor with non-volatile memory

M. O. Tsoy^{1, 2}, D. M. Alfonso^{1, 2}

¹ Moscow Institute of Physics and Technology, Moscow, Russia

² JSC MCST, Moscow, Russia

Problem statement. Due to the downsizing of technological process in microprocessor manufacturing, the number of possible manufacturing defects in the microprocessor chip increases, some types of which can only appear during the main operation of the microprocessor. The hardware implementation of the module for storing and processing information on cache memory defects of the processor with non-volatile memory is considered to neutralize such defects and, as a result, increase the number of usable microprocessors.

Objective. Research of various implementation options for such a module, identification of related problems and methods for their solution, synthesis of the described implementation options using computer-aided engineering (CAD) and comparison of the obtained characteristics.

Results. The implementation that occupies the smallest area on the chip, intended for implementation in the Elbrus-12C microprocessor under development, was found based on the synthesis results analysis.

Practical implications. The paper describes the issues and the way of their solution, taking into account modern requirements for development to increase the number of usable processors.

Keywords: cache memory defects, built-in self-testing, BIST, BISR, redundancy, non-volatile memory, Elbrus microprocessor

For citation:

Tsoy M. O., Alfonso D. M. Developing modules for local storage and handling of cache memory defects information in a processor with non-volatile memory. Radio industry (Russia), 2020, vol. 30, no. 4, pp. 111–118. (In Russian). DOI: 10.21778/2413-9599-2020-30-4-111-118

Введение

Развитие полупроводниковой промышленности в последние годы приводит к уменьшению характеристического размера полупроводниковых структур и росту плотности их размещения в микросхемах. Производители микропроцессоров стремятся осваивать новые технологические нормы, которые

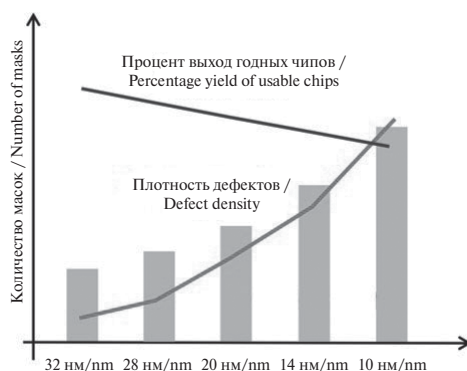


Рисунок 1. Рост плотности дефектов и снижение выхода годных чипов
Figure 1. Increased defect density and reduced yield of usable chips

позволяют создавать чипы с более высокой степенью интеграции [1]. Однако, поскольку размеры внутренней структуры современных микросхем относятся к субмикронному диапазону, при их изготовлении невозможно гарантированно предотвратить возникновение дефектов в процессе формирования отдельных ячеек и вентилях. Кроме того, статистика показывает [2], что с переходом на меньшую технологическую норму возрастает плотность дефектов в изготавливаемых микросхемах и, как следствие, падает процент выхода годных чипов (рис. 1).

На сегодняшний день существуют разные способы решения проблемы тестирования и повышения доли исправных чипов. Одними из таких способов являются технологии BIST (Build-In Self-Test) и BISR (Build-In Self-Repair) [3], заключающиеся в аппаратной реализации модулей, которые осуществляют тестирование определенных функциональных блоков микросхемы и их «ремонт» в случае обнаружения ошибок. Как правило, тестирование по технологии BIST проводится над теми частями микросхемы, в которых вероятность обнаружить неисправность наиболее высока, например, блоки памяти, где велика плотность размещения элементов [4].

Модуль BIST формирует тестовые сигналы, подает их на вход тестируемого устройства и анализирует полученный отклик, на основе чего вырабатывает сигнатуру ошибок (рис. 2). Технология BISR в блоках кэш-памяти современных микропроцессоров серии «Эльбрус» представлена в составе модуля BIST в виде компенсации дефектов с помощью двух запасных столбцов памяти (redundancy) [5]. Номера столбцов блока памяти, подлежащих замене, подаются на соответствующие порты памяти с расположенных рядом на кристалле регистров (т.н. регистров redundancy), которые прописываются механизмом BIST по результатам тестирования памяти.

Существуют типы дефектов в блоках памяти, которые нельзя нейтрализовать [6]. В дальнейшем, говоря о дефектах, подразумеваем производственные дефекты в блоках памяти, которые можно скомпенсировать описанным механизмом redundancy.

Процесс тестирования и исправления дефектов модулями BIST и BISR запускается каждый раз при включении процессора [7]. Однако существуют типы дефектов [8], которые проявляются лишь при определенных внешних условиях, например при повышенной температуре или при повышенном давлении. Но так как внешние условия могут меняться в ходе работы микропроцессора, это может привести к возникновению ошибки, инициированной не обнаруженным при стартовом тестировании дефектом, что приведет к неисправной работе чипа в целом. Таким образом, возникает необходимость предварительного тестирования чипа при различных внешних условиях для выявления и регистрирования всех возможных дефектов.

В проектируемых на технологической норме 16 нм микропроцессорах «Эльбрус-2С3», «Эльбрус-12С» и «Эльбрус-16С» эта проблема была решена путем записи информации о всех обнаруженных при отбраковке процессора дефектах в однократно программируемую энергонезависимую память; при включении процессора обеспечивается компенсация всех дефектов благодаря чтению этой энергонезависимой памяти и активации необходимых резервов [9, 10].

В микропроцессорах «Эльбрус-12С» и «Эльбрус-16С» абонентами, для которых в энергонезависимой памяти хранится информация о дефектах (а именно настройки redundancy), являются кэш-память второго уровня L2\$ (64 блока памяти данных), кэш-память третьего уровня L3\$ (256 блоков памяти данных Data Array DA, 128 блоков памяти тэгов Tag Array TA) и память директории домашнего устройства HMU (128 блоков памяти локального справочника) [11].

Базовый модуль работы BIST с энергонезависимой памятью

В проекте «Эльбрус-16С» были рассмотрены следующие варианты взаимодействия модуля BIST с энергонезависимой памятью. Первый вариант заключается в доставке данных redundancy из энергонезависимой памяти непосредственно на конечные регистры redundancy тестируемой памяти. Преимуществом данного подхода является наименьшее возможное использование оборудования, однако у него имеются и свои недостатки. Первый недостаток заключается в том, что такой подход обязывает регистры redundancy работать по мультиплексированному синхросигналу: в начале работы процессора при рассылке данных redundancy они должны работать на частоте энергонезависимой памяти (низкочастотный синхросигнал), а впоследствии в ходе работы BIST – на штатной частоте работы процессора (высокочастотный синхросигнал). Вторым недостатком состоит в том, что усложняется механизм считывания и записи регистров redundancy посредством JTAG, что необходимо при отладке для сбора информации обо всех обнаруженных дефектах. Эти недостатки усложняют этап физического проектирования блоков, содержащих память, однако было выявлено, что это является существенным только для больших массивов памяти (L3\$, память директории HMU), поэтому данный вариант был реализован для памяти L2\$, обладающей меньшим объемом.

Возможен также другой вариант взаимодействия модуля BIST с энергонезависимой памятью, заключающийся в приеме настроек резервных столбцов на промежуточные регистры redundancy, с которых данные в ходе работы BIST передаются на рабочие регистры redundancy. При этом подходе указанные промежуточные регистры представляют собой копии рабочих регистров redundancy, с тем отличием, что они могут быть расположены локально и удаленно от соответствующих им блоков памяти. По этой причине с точки зрения физического проектирования

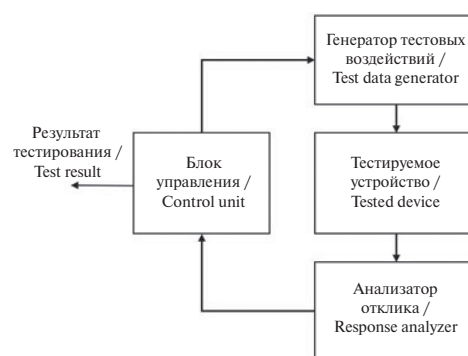


Рисунок 2. Принцип работы BIST
Figure 2. BIST working principles

гораздо легче обеспечить их работу по мультиплексированному синхросигналу и взаимодействие с JTAG-интерфейсом. Следовательно, т.к. на рабочие регистры *redundancy* передается всегда итоговое значение настроек резервных столбцов из одного источника, то устраняются недостатки первого приведенного варианта взаимодействия модуля BIST с энергонезависимой памятью. По этой причине был разработан и описан на языке Verilog модуль-обертка для BIST, содержащий массив локальных регистров для хранения настроек *redundancy* и располагающийся на кристалле микропроцессора далеко от соответствующих блоков памяти. В этот модуль также были добавлены вспомогательные регистры для предотвращения перезаписи настроек, полученных с энергонезависимой памяти. Несмотря на значительное количество добавленного при этом оборудования, т.к. при такой реализации все данные *redundancy* расположены локально (а не разбросаны на регистры по кристаллу каждый рядом со своей рабочей памятью), существенно упрощается физическое проектирование с точки зрения устранения критических путей, что является более приоритетной задачей для регулярной структуры большого массива памяти.

Соответствующим образом был изменен механизм взаимодействия с энергонезависимой памятью. В начале работы процессора данные *redundancy* с энергонезависимой памяти записываются на описанные выше промежуточные регистры

(далее называемые регистрами локального хранения) с внесением пометок о запрете их перезаписи на вспомогательные регистры. Далее в ходе проверки механизмом BIST рабочей памяти эти данные могут дополняться, и по завершении проверки модуль BIST пересылает итоговые настройки резервных столбцов на рабочие регистры *redundancy* по высокочастотному сериализованному интерфейсу (интерфейс из двух проводов: на одном выставляется значимость данных во время передачи, на другом – сами данные по 1 бит в каждый такт процессорной частоты). Аналогично, поскольку на регистрах локального хранения находятся актуальные данные *redundancy*, модуль BIST может обеспечивать доступ к ним по JTAG-интерфейсу. Далее вышеописанный модуль с оболочкой будут называться базовым модулем работы BIST с энергонезависимой памятью, или просто базовым модулем; его принципиальная схема приведена на рис. 3.

Так как второй приведенный вариант взаимодействия модуля BIST с энергонезависимой памятью становится тем более выгодным, чем больше размер памяти, охватываемой модулем BIST, то в проекте «Эльбрус-16С» для памяти L3\$ и директории HMU как наибольших по объему массивов памяти было принято решение использовать вышеописанный базовый модуль BIST; характеристика возникших дополнительных расходов в виде добавленных регистров приведена в табл. 1.

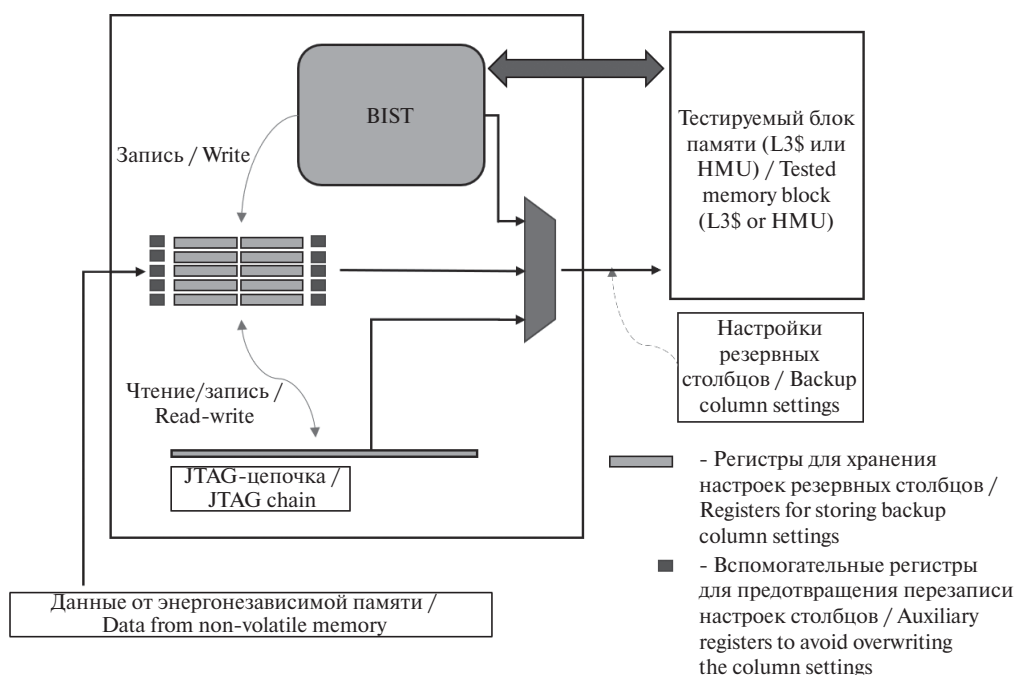


Рисунок 3. Принципиальное устройство базового модуля работы BIST с энергонезависимой памятью

Figure 3. Basic design of the BIST base module with non-volatile memory

Таблица 1. Количество добавленных регистров в базовом модуле для разных банков кэш-памяти
 Table 1. Number of added registers in the base module for different cache banks

Банк тестируемой память / Tested memory bank	Регистры локального хранения настроек redundancy / Local storage registers for redundancy settings	Вспомогательные регистры запрета перезаписи / Auxiliary registers with disabled overwriting	Длина JTAG-цепочки / JTAG chain length
L3\$ DA	2560	512	2561
L3\$ TA	1536	256	1537
HMU	1280	256	1281

Модификации базового модуля

Как можно заметить, базовый модуль содержит большое количество внутренних регистров, вследствие чего занимает заметную площадь на кристалле процессора (~3% площади банка L3\$). С целью уменьшения занимаемой базовым модулем площади было принято решение заменить массив регистров настроек redundancy на отдельный блок памяти, далее именуемый памятью redundancy, внутри модуля BIST. Благодаря регулярной структуре и плотному размещению ячеек в блоке памяти, он будет занимать меньше места на кристалле, чем массив регистров. Однако такая замена неизбежно влечет усложнение внутренней логики работы BIST и взаимодействия с энергонезависимой памятью. Далее будут рассмотрены варианты реализации этой замены и разрешения сопутствующих проблем.

Замена массива регистров redundancy на блок памяти

В одной строке памяти redundancy могут одновременно храниться настройки для всех параллельно тестируемых блоков памяти, следовательно, т.к. от энергонезависимой памяти приходят данные для каждого блока отдельно, необходимо обеспечить возможность записи данных в определенные биты строки памяти redundancy, при этом не перезаписывая другие биты. Было рассмотрено два подхода к решению этой задачи.

Первый заключается в том, чтобы использовать стандартную однопортовую память, но перед записью в строку такой памяти вычитывать эту же строку и составлять входные данные для записи так, чтобы на местах тех бит, которые должны записаться, стояли соответствующие записываемые значения, а на местах остальных бит стояли старые значения предварительно вычитанной строки.

Второй способ заключается в использовании специальной памяти со входом битовой маски записи, которая определяет, какие биты в строке запишутся, а какие останутся неизменными.

Устранение вспомогательных регистров

Было решено также избавиться от вспомогательных регистров, но сохранить при этом функционал, запрещающий перезапись ранее пришедших настроек redundancy. Были рассмотрены следующие два варианта решения этой задачи.

Суть первого подхода заключается в добавлении дополнительных разрядов в строки памяти redundancy так, чтобы в них хранились пометки о запрете перезаписи аналогично тому, как они выставляются во вспомогательные регистры в базовом модуле.

Второй реализованный вариант решения поставленной задачи использует тот факт, что настройка redundancy, представленная нулевой строкой, соответствует деактивации резервных столбцов и является настройкой по умолчанию. Поэтому к первой стадии работы базового модуля был добавлен механизм зануления всех строк памяти redundancy, а функционал вспомогательных регистров реализован логикой, осуществляющей предварительное вычитывание строки, в которую происходит попытка записи, и формирующей сигнал запрещения или разрешения записи в зависимости от того, сохранила ли вычитанная строка ненулевые данные.

Модификация работы по JTAG

При замене массива регистров redundancy на память становится невозможным помещение информации о дефектах всех банков на JTAG-цепочку одновременно.

Было принято решение сократить длину JTAG-цепочки до размера одной строки памяти redundancy и нескольких служебных бит, которые определяют операцию (чтение или запись) и адрес строки памяти redundancy, по отношению к которой должна быть выполнена указанная операция. Как следствие, потребуется изменение программного обеспечения, осуществляющего работу с модулем по JTAG-интерфейсу, для возможности его построчного обращения к введенной памяти redundancy, но это обеспечивает значительную экономию аппаратных ресурсов (табл. 2).

Таблица 2. Количество регистров в JTAG-цепочке в базовом модуле и в реализованной модификации.

Table 2. The number of registers in the JTAG chain in the base module and the implemented modification.

Банк тестируемой памяти / Tested memory bank	В базовом модуле / In the base module	В реализованной модификации / In the implemented modification
L3\$ DA	2561	167
L3\$ TA	1537	36
HMU	1281	32

Синтез и сравнение реализаций

После описания приведенных выше модификаций на языке Verilog был проведен их физический синтез в Synopsys Design Compiler и IC Compiler 2, а также синтез самого базового модуля. Ниже приведены таблицы с полученными в результате этого синтеза характеристиками модулей. В таблицах приняты следующие обозначения:

- Модификация 1: использование блока памяти с битовой маской для локального хранения настроек redundancy + предварительное вычитывание строки этого блока памяти вместо использования вспомогательных регистров.
- Модификация 2: использование блока стандартной однопортовой памяти для локального хранения настроек redundancy + предварительное вычитывание строки этого блока памяти вместо использования вспомогательных регистров.
- Модификация 3: использование блока памяти с битовой маской для локального хранения настроек redundancy + внесение вспомогательных регистров в этот блок памяти.
- Модификация 4: использование блока стандартной однопортовой памяти для локального хранения настроек redundancy + внесение вспомогательных регистров в этот блок памяти.

Во всех четырех представленных модификациях также имеются изменения внутреннего

устройства JTAG-интерфейса, описанные в предыдущем пункте.

Характеристики занимаемой площади и утилизации, полученные в результате синтеза, приведены в табл. 3–5.

Таким образом, для L3\$ DA каждая модификация занимает примерно в 4,2 раза меньшую площадь, чем базовый модуль; для L3\$ TA – приблизительно в 7,5 раза; для HMU – в 4,6 раза.

В целом по суммарной площади для L3\$ и HMU оптимальной с точки зрения занимаемой на кристалле площади является модификация 2.

Выводы

В результате проведенной работы для микропроцессора «Эльбрус-16С» был реализован базовый модуль BIST, поддерживающий получение настроек запасных столбцов redundancy для блоков памяти L3\$ и директории HMU, а также их локальное хранение. Для микропроцессора «Эльбрус-12С» были реализованы четыре параметризованные модификации базового модуля BIST, сохраняющие его функциональность, но занимающие меньшую площадь на кристалле микропроцессора. По итогам проведенного физического синтеза в Synopsys Design Compiler и IC Compiler II и сравнения количественных характеристик разработанных модулей для внедрения в микропроцессоре «Эльбрус-12С» выбран оптимальный с точки зрения занимаемой модулем площади на кристалле вариант – модуль BIST, в котором

Таблица 3. Результаты синтеза разработанных модулей для L3\$ (DA)

Table 3. Synthesis results of the developed modules for L3\$ (DA)

Характеристика / Characteristic	Базовый модуль / Base module	Модификация 1 / Modification 1	Модификация 2 / Modification 2	Модификация 3 / Modification 3	Модификация 4 / Modification 4
Общая площадь, мкм ² / Total area, μm ²	28276	6768	6564	6875	6677
Степень утилизации / The degree of utilization	0,576	0,6184	0,6294	0,6242	0,6401

Таблица 4. Результаты синтеза разработанных модулей для L3\$ (TA)

Table 4. Synthesis results of the developed modules for L3\$ (TA)

Характеристика / Characteristic	Базовый модуль / Base module	Модификация 1 / Modification 1	Модификация 2 / Modification 2	Модификация 3 / Modification 3	Модификация 4 / Modification 4
Общая площадь, мкм ² / Total area, μm ²	15708	2060	2115	2048	2103
Степень утилизации / The degree of utilization	0,5489	0,6158	0,6095	0,6175	0,6136

Таблица 5. Результаты синтеза разработанных модулей для HMU

Table 5. Synthesis results of the developed modules for HMU

Характеристика / Characteristic	Базовый модуль / Base module	Модификация 1 / Modification 1	Модификация 2 / Modification 2	Модификация 3 / Modification 3	Модификация 4 / Modification 4
Общая площадь, мкм ² / Total area, μm ²	7986	1709	1702	1721	1745
Степень утилизации / The degree of utilization	0,5272	0,6016	0,5943	0,6249	0,6038

используются блок стандартной однопортовой памяти для локального хранения настроек redundancy

и предварительное вычитывание строки этого блока для предотвращения перезаписи данных.

СПИСОК ЛИТЕРАТУРЫ

1. Jones D.H. *Economic Impact of the Technology Choices at 28nm/20nm*. IBS, Inc., 2012, 6 p.
2. Ma Y., Kan E. *Non-logic Devices in Logic Processes*. Springer, 2017, 306 p.
3. Bhaskar P.S. N., Sarada B., Kandregula S. Built-In Self-Repair Techniques of Embedded Memories with BIST for Improving Reliability // *IOSR Journal of Computer Engineering*, 2019, vol. 21, iss. 1, pp. 8–15.
3. Hamdioui S. Testing Embedded Memories: A Survey // *MEMICS2012: Mathematical and Engineering Methods in Computer Science*, pp. 32–42.
4. RAMPiler+ 16nm Compiler User Manual. Dolphin Technology Inc., 2017, 114 p.
5. Horiguchi M., Itoh K. *Nanoscale Memory Repair*. Springer, New York, 2011, 218 p.
6. Альфонсо Д.М., Исаев М.В., Костенко В.О. Разработка системы тестирования и повышения выхода годной продукции для кэш-памяти микропроцессора, изготовленного по технологическим нормам 28 нм // *Вопросы радиоэлектроники*. 2014. Т. 4. № 3. С. 106–118.
7. *Tessent Memory BIST Usage Guide and Reference*. Mentor Graphics Corporation, 2012, 763 p.
8. Rizzolo R.F., Foote T.G., Crafts J.M., Grosch D.A., Leung T.O., Lund D.J., Mechtly B.L., Robbins B.J., Slegel T.J., Tremblay M.J., Wiedemeier G.A. IBM System z9 eFUSE applications and methodology // *IBM Journal of Research and Development*, 2007, vol. 51, iss. 1.2, pp. 65–75.
9. *OpenSPARC T2 SOC Microarchitecture Specification*. Sun Microsystems, Inc., 2008. Available at: <https://www.oracle.com/technetwork/systems/opensparct2-06-opensparct2-core-microarch-1537749.html> (accessed 22.10.2020).
10. *Микропроцессор Эльбрус-16С* – получены первые инженерные образцы [Электронный ресурс]. URL: <https://pwo.su/30738-mikroprocessora-elbrus-16s-polucheny-pervye-inzhenernye-obrazcy.html> (дата обращения 22.10.2020).

REFERENCES

1. Jones D.H. *Economic Impact of the Technology Choices at 28nm/20nm*. IBS, Inc., 2012, 6 p.
2. Ma Y., Kan E. *Non-logic Devices in Logic Processes*. Springer, 2017, 306 p.
3. Bhaskar P.S. N., Sarada B., Kandregula S. Built-In Self-Repair Techniques of Embedded Memories with BIST for Improving Reliability. *IOSR Journal of Computer Engineering*, 2019, vol. 21, iss. 1, pp. 8–15.
4. Hamdioui S. Testing Embedded Memories: A Survey In: *MEMICS2012: Mathematical and Engineering Methods in Computer Science*, pp. 32–42.
5. *RAMPiler+ 16nm Compiler User Manual*. Dolphin Technology Inc. 2017. 114 p.

6. Horiguchi M., Itoh K. *Nanoscale Memory Repair*. Springer, New York, 2011, 218 p.
7. Alfonso D.M., Isaev M.V., Kostenko V.O. Development of a system for testing and increasing the yield of suitable products for the microprocessor cache memory manufactured according to the 28 nm technological standards. *Voprosy Radioelektroniki*, 2014, vol. 4, iss. 3, pp.106–118. (In Russian).
8. *Tessent Memory BIST Usage Guide and Reference*. Mentor Graphics Corporation, 2012, 763 p.
9. Rizzolo R.F., Foote T.G., Crafts J.M., Grosch D.A., Leung T.O., Lund D.J., Mechtly B.L., Robbins B.J., Slegel T.J., Tremblay M.J., Wiedemeier G.A. IBM System z9 eFUSE applications and methodology. *IBM Journal of Research and Development*, 2007, vol. 51, iss. 1.2, pp. 65–75.
10. OpenSPARC T2 SOC Microarchitecture Specification. Sun Microsystems, Inc., 2008. Available at: <https://www.oracle.com/technetwork/systems/opensparct2-06-opensparct2-core-microarch-1537749.html> (accessed 22.10.2020).
11. *Mikroprotssessor Elbrus-16S – polucheny pervye inzhenernye obraztsy* [Elbrus-16C Microprocessor – the first engineering samples were obtained] (In Russian). Available at: <https://pwo.su/30738-mikroprocessora-elbrus-16s-polucheny-pervye-inzhenernye-obrazcy.html> (accessed 22.10.2020).

ИНФОРМАЦИЯ ОБ АВТОРАХ

Цой Марк Олегович, студент, ФГАОУ ВО «Московский физико-технический институт (национальный исследовательский университет)», 141701, Московская обл., г. Долгопрудный, Институтский пер., д. 9.; инженер, АО «МЦСТ», 117105, Москва, ул. Нагатинская, д. 1, стр. 23; тел.: +7 (915) 319-40-79, e-mail: tsoy_m@mcst.ru.

Альфонсо Даниил Максимович, преподаватель, ФГАОУ ВО «Московский физико-технический институт (национальный исследовательский университет)», 141701, Московская обл., г. Долгопрудный, Институтский пер., д. 9; старший инженер, АО «МЦСТ», 117105, Москва, ул. Нагатинская, д. 1, стр. 23; тел.: +7 (925) 281-23-57, e-mail: alfonso_d@mcst.ru.

AUTHORS

Mark O. Tsoy, student, Moscow Institute of Physics and Technology, 9, Institutskii per., g. Dolgoprudnyi, Moskovskaya obl., 141701, Russia; engineer, JSC MCST, 1, str. 23, ulitsa Nagatinskaya, Moskva, 117105, Russia; tel.: +7 (915) 319-40-79, e-mail: tsoy_m@mcst.ru.

Daniil M. Alfonso, lecturer, Moscow Institute of Physics and Technology, 9, Institutskii per., g. Dolgoprudnyi, Moskovskaya obl., 141701, Russia; senior engineer, JSC MCST, 1, str. 23, ulitsa Nagatinskaya, Moskva, 117105, Russia; tel.: +7 (925) 281-23-57, e-mail: alfonso_d@mcst.ru.

Поступила 21.08.2020; принята к публикации 21.10.2020; опубликована онлайн 04.12.2020
Submitted 21.08.2020; revised 21.10.2020; published online 04.12.2020