

Топология сети-на-кристалле микропроцессора Эльбрус-16С

Е.С. Кожин, А.С. Кожин

АО «МЦСТ», Москва, Россия

Сети-на-кристалле играют центральную роль при разработке современных многоядерных процессоров, так как связывают между собой все основные компоненты системы. Их характеристики и архитектура определяют пропускную способность и время доступа в подсистему памяти. Выбор топологии сети-на-кристалле определяется числом процессорных ядер, а также физическими и топологическими ограничениями при проектировании всего процессора [1].

Многоядерные процессоры с архитектурой «Эльбрус» четвертого и пятого поколений [2] объединяли восемь процессорных ядер и восемь банков общей кэш-памяти третьего уровня посредством двунаправленной кольцевой шины [3]. При этом контроллеры оперативной памяти и устройства ввода-вывода подключались через центральный коммутатор [4]. Таким образом, пакеты в системе передавались по двум различным коммутационным сетям.

При разработке серверного процессора с архитектурой «Эльбрус» шестого поколения стояла задача объединить между собой 16 универсальных процессорных ядер, 16 банков кэш-памяти третьего уровня, 4 устройства доступа к оперативной памяти, а так же ряд периферийных контроллеров. Для этого требовалось переработать систему соединений внутри кристалла. В качестве основного решения было выбрано построение распределенной сети-на-кристалле, в которой устройства через сетевые адаптеры подключаются к общей распределенной коммутационной среде любой топологии. Такой подход позволяет, изменяя только параметры сети и сетевые адаптеры, подключать ранее разработанные устройства, такие как процессорные ядра, банки кэш-памяти, контроллеры доступа к памяти и вводу-выводу, в общую систему.

В качестве возможных топологий сети изначально рассматривались три варианта: двунаправленная кольцевая шина, 2d mesh, 2d torus-mesh. При этом из-за принятых решений по физическому проектированию, построению системы синхронизации и топологии всего процессора процессорные ядра размещались только в два ряда. Поэтому топология 2d mesh 4x4 не могла быть использована, а вместо нее прорабатывалась топология 2d mesh 2x8. Для топологии 2d torus-mesh была выбрана конфигурация 2x2x4, которая получается из топологии 2d mesh 2x8 путем добавления новых связей и незначительного усложнения коммутатора сети.

При сравнении топологий сетей между собой основными критериями выступали пропускная способность и средняя задержка в сети, а также учитывались объем оборудования для реализации и потребляемая мощность. Модели двунаправленной кольцевой шины и сети 2d mesh 2x8 показали близкие результаты по пропускной способности, но средняя задержка в кольцевой шине была существенно больше. Поэтому, несмотря на меньший объем оборудования, она не рассматривалась для реализации в новом серверном процессоре.

Сравнение топологий 2d mesh 2x8 и 2d torus-mesh 2x2x4 было проведено на RTL-модели процессора с реальными устройствами и задержками с использованием нагрузочных тестов на сеть. В зависимости от интенсивности выдачи пакетов измерялось среднее время их нахождения в сети. При низкой нагрузке время нахождения пакетов в сети определялось средним расстоянием между источником и получателем и не зависело от выбранной топологии. При росте нагрузки выше 7 пакетов за 10 тактов для 2d torus-mesh и 4 пакетов за 10 тактов для 2d mesh возникали взаимные блокировки в сети, которые увеличивали время доставки пакетов. Максимальная пропускная способность составила около 70% и 40% от пиковой для топологий 2d torus-mesh 2x2x4 и 2d mesh 2x8 соответственно.

По результатам исследования для сети-на-кристалле процессора Эльбрус-16С была выбрана топология 2d torus-mesh 2x2x4. Каждый узел разработанной сети имеет порты для одного процессорного ядра и одного банка кэш-памяти третьего уровня. Свободные сетевые порты коммутаторов, размещенных по границе сети, задействованы для подключения контроллеров памяти посредством специальных сетевых адаптеров. Это позволяет не увеличивать размер сети, а также отказаться от отдельной коммутационной сети, которая использовалась в прошлых проектах. Встроенный контроллер периферийных интерфейсов подключается через дополнительные коммутаторы в центре сети.

Литература

1. *Jerger N.E., Peh L.S.* On-chip networks // Synthesis Lectures on Computer Architecture. 2009. Т. 4. №. 1. С. 1-141.
2. *Kostenko V.O. [et al.]* Elbrus-8С: The Latest Yield from MCST and MIPT Collaboration // 2015 International Conference on Engineering and Telecommunication (EnT). IEEE, 2015. С. 67-68.
3. *Кожин А.С., Сахин Ю.Х.* Коммутация соединений процессорных ядер с общим кэшем третьего уровня микропроцессора "Эльбрус-4С+" // Вопросы радиоэлектроники. 2013. Т. 4. №. 3. С. 5-14.
4. *Альфонсо Д.М. [и др.]* Микроархитектура восьмиядерного универсального микропроцессора «Эльбрус-8С» // Вопросы радиоэлектроники. 2016. Т. 4. №. 3. С. 6-13.