

Московский физико-технический институт
(государственный университет)
Физтех-школа радиотехники и компьютерных технологий
Кафедра радиоэлектроники и прикладной информатики

Статическая проверка конфигурации системы логических анализаторов микропроцессоров Эльбрус

Выпускная квалификационная работа
(бакалаврская работа)

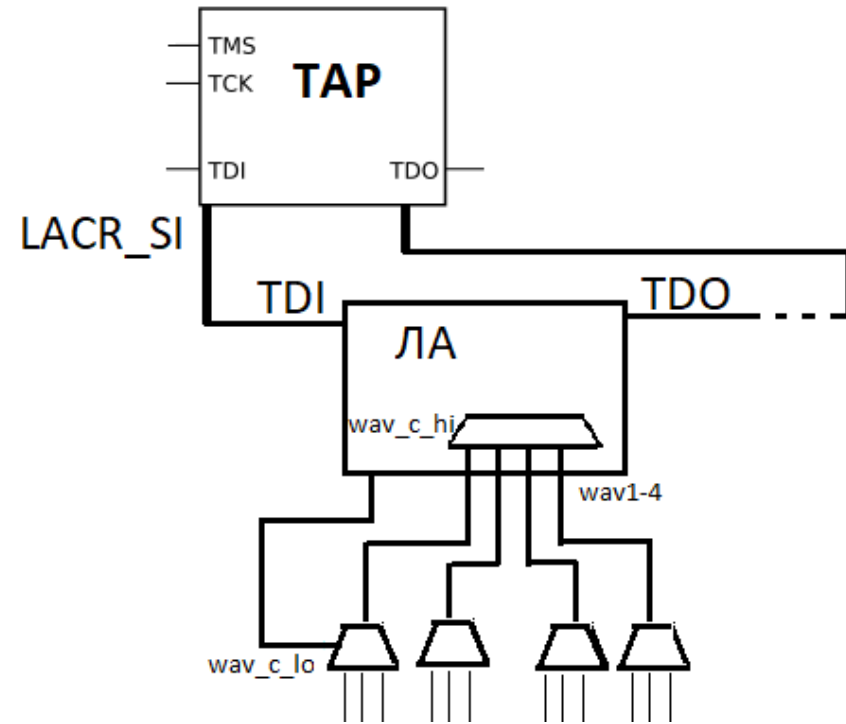
Студент: Орлов Олег Валерьевич

Научный руководитель: Фролов Павел Викторович

Проблема

Логический анализатор предназначен для сохранения и вывода трассы сигналов процессора в целях отладки его в процессе эксплуатации.

- TDI/TDO – управляющий сигнал TAP контроллера
- wav_c – Управление коммутационной пирамидой, выбирающей набор анализируемых сигналов в устройстве
- wav1-4 – шины анализируемых сигналов



Сигналы, заводимые на ЛА, должны быть описаны в технической документации. На практике, в реализации RTL-описания процессора встречаются несоответствия с документацией. Отсюда возникает необходимость в нахождении и исправлении этих неточностей.

Цель

Разработка тестового модуля статической проверки конфигурации системы логических анализаторов микропроцессоров Эльбрус

Задачи

- Автоматическое формирование цепи ЛА на основе RTL-описания
- поиск сигналов подключенных к ЛА
- проверка соответствия подключенных сигналов технической документации

Требования

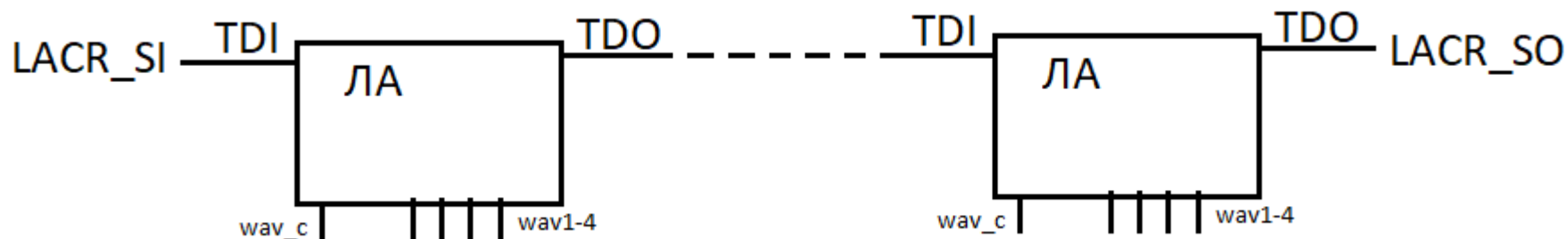
- Разработка с использованием стандарта Verilog VPI

VPI (Verilog Program Interface)

- Предоставляет доступ к внутренним структурам данных симуляции
- Является частью стандарта IEEE1364-2005

В рамках концепции VPI внутренние структуры данных симуляции представляются диаграммой связанных объектов. У каждого объекта, помимо внутренних свойств, таких как разрядность шины, полного иерархического имени, типа и т.п., так же имеются указатели на связанные с ним объекты. Это позволяет производить обход RTL-описания процессора и поиск в нем необходимых сигналов и модулей

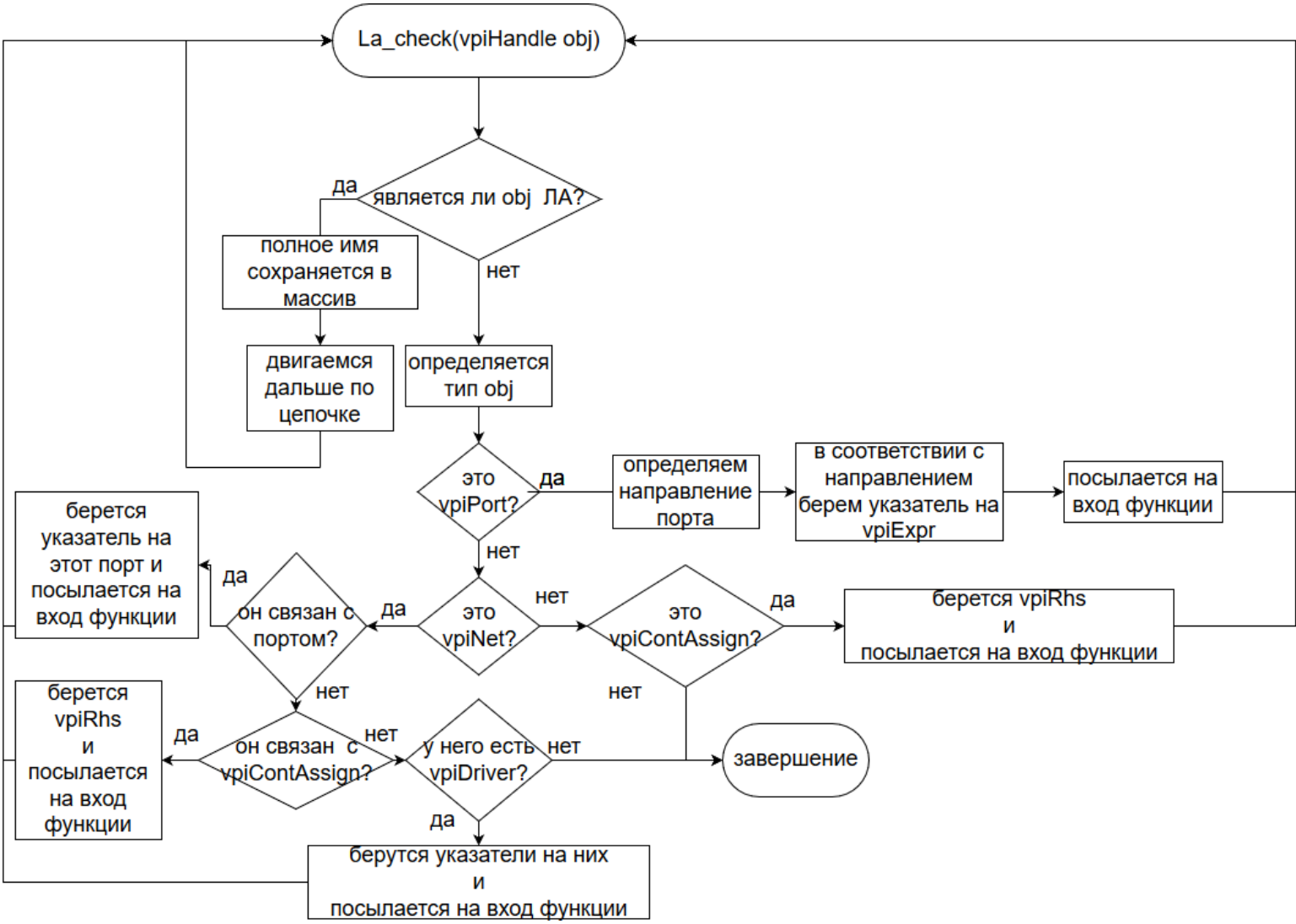
Автоматический анализ цепочки логических анализаторов



```
TDI ->      cpu.quart[i].quart.TDI
#0 (68+4) la_i4c5p00_256x72  cpu.quart[i].quart.l3_com.com_la.com_la0
#1 (68+4) la_i4c5p00_256x72  cpu.quart[i].quart.l3_com.com_la.com_la1
#2 (68+4) la_i4c5p00_256x72  cpu.quart[i].quart.l3_com.com_la.com_la2
#3 (68+4) la_i4c5p00_256x72  cpu.quart[i].quart.l3_com.com_la.com_la3
-> cpu.quart[i].quart.l3q_la_TDO    cpu.quart[i].quart.tap_co.LACR_SO
```

Значение сигнала LACR_SI генерируется TAP-контроллером. Сигнал поступает на вход TDI первого в цепочке ЛА и без изменений проходит через TDI->TDO всей последовательной цепочки ЛА. Таким образом, зная полное иерархическое имя LACR_SI или LACR_SO конкретного TAP-контроллера, можно однозначно восстановить всю цепочку ЛА, управляемую им, при условии отсутствия ошибок в RTL-описании

Реализация алгоритма поиска цепочки ЛА



В рамках реализации алгоритма поиска устройств цепочки логических анализаторов используется рекурсивный обход.

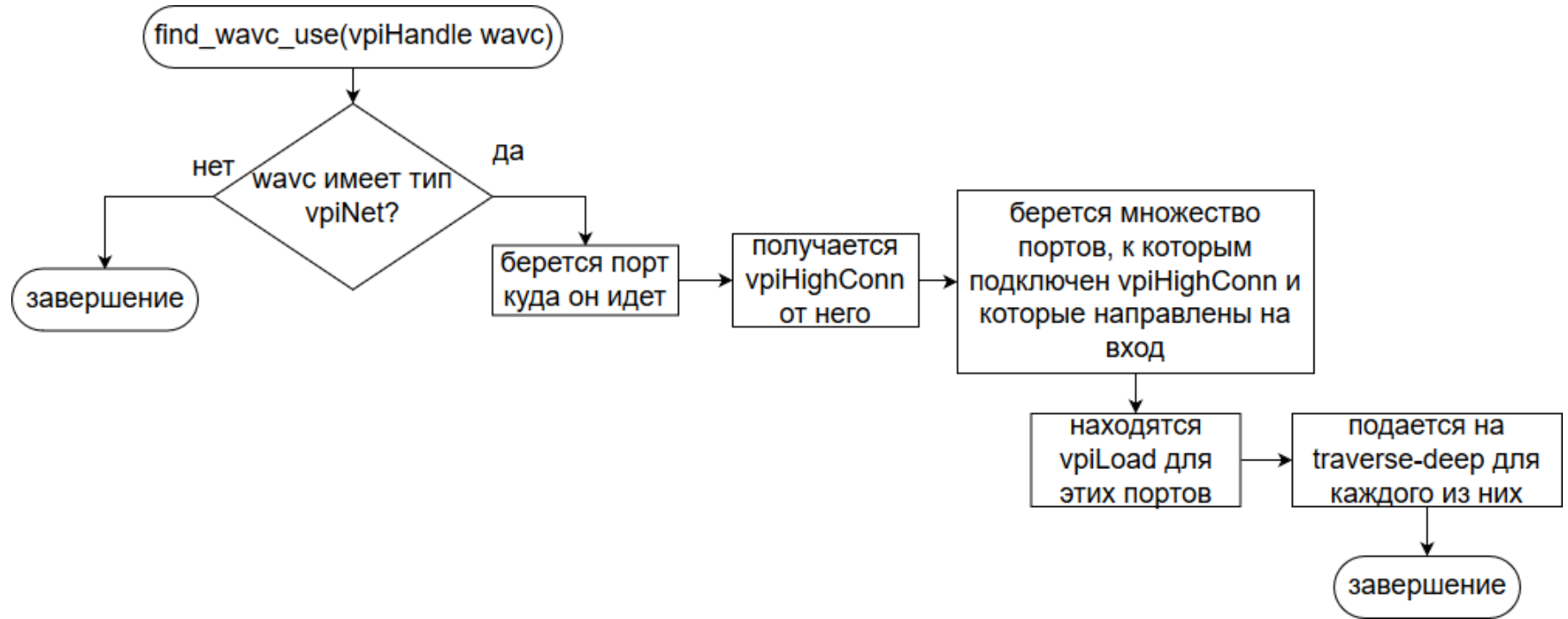
Поиск сигналов, подключенных к ЛА

При анализе используемых мультиплексоров выяснилось, что они не только не стандартизованы, но и необходимые сигналы определены не в модуле реализации мультиплексора.

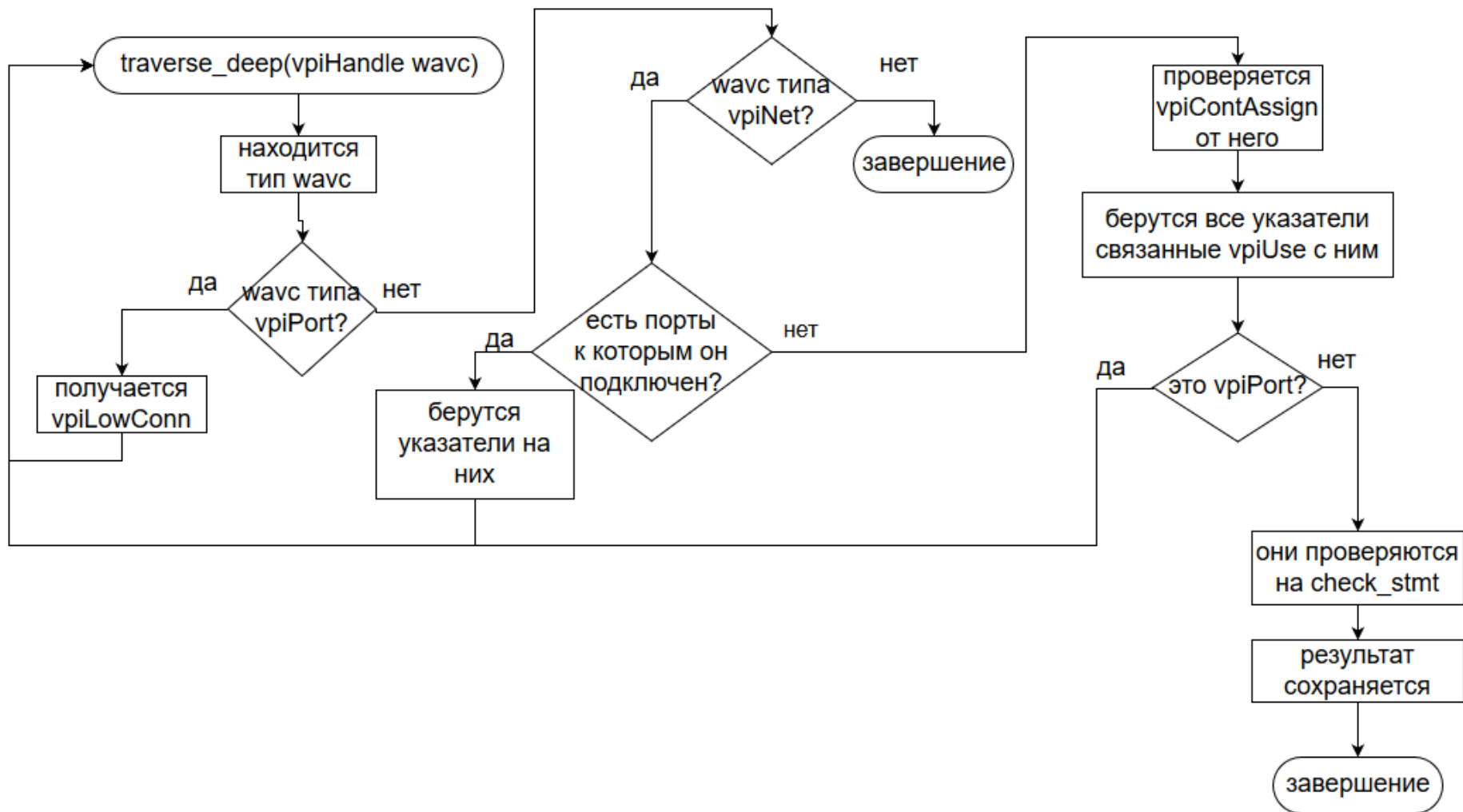
В ходе поиска подключаемых сигналов возникла необходимость различать их по типу:

- Подключаемый сигнал не зависит от wav_c, и подаются на ЛА напрямую
- Сигнал выбирается мультиплексором в зависимости от значения wav_c одним из следующих способов:
 1. Сигнал выбирается тернарным оператором
 2. Подключается сигнал, являющийся результатом работы мультиплексора, реализованного через &, |, {}
 3. Подается сигнал, выбранный через конструкцию case на основе wav_c

Реализация алгоритма поиска подключенных сигналов



Реализация алгоритма поиска подключенных сигналов



Проверка соответствия технической документации подключенных сигналов

В ходе разработки модуля возникла проблема, связанная с отсутствием стандарта технической документации сигналов, подключенных к логическому анализатору. Это сделало невозможным непосредственно сравнивать подключенные сигналы с заявленными.

Алгоритм сравнения предполагает последовательный перебор сигналов подключенных к мультиплексору и переход по ним в смежные модули с постоянным сравнением имени сигнала с технической документации на каждом шаге перехода.

Результаты

- Разработан и реализован алгоритм поиска цепочки логических анализаторов ТАР-контроллера
- Произведен анализ RTL-описания мультиплексоров, используемых в процессоре
- Разработан и реализован алгоритм поиска сигналов подключенных к логическим анализаторам
- Выявлены требования к улучшению технического описания и предложен алгоритм сравнения подключенных сигналов с заявленными в нем.