

**Московский физико-технический институт
Факультет радиотехники и кибернетики
Кафедра информатики и вычислительной техники**

**Верификация устройства исполнения
переходов в конвейере микропроцессора
МЦСТ R2000**

**Выполнил студент 213 группы Черепанов С. П.
Научный руководитель к.т.н. Мешков А. Н.
Научный консультант Фролов П. В.**

Цель

Разработка генератора тестов для верификации устройства исполнения переходов в микропроцессорах архитектуры SPARC

Требования

- **Реализация в виде модуля для существующего генератора тестов rgen**
- **Гибкие настройки параметров генерируемого теста**

Структуры переходов

Структурой переходов S называется конечная последовательность, состоящая из базовых блоков B_i , слотов задержки D_j , условных переходов *if* C_k *goto* L и безусловных переходов *goto* H , где $0 \leq H, L < |S|$

- Базовым блоком B_i называется набор из нескольких инструкций, не являющихся инструкциями переходов
- Слотами задержки D_j называются инструкции, выполняющиеся микропроцессором независимо от результата работы предыдущей инструкции

Трассы выполнения

Трассой выполнения T структуры перехода S называется последовательность из индексов элементов S , представляющая собой граф потока управления

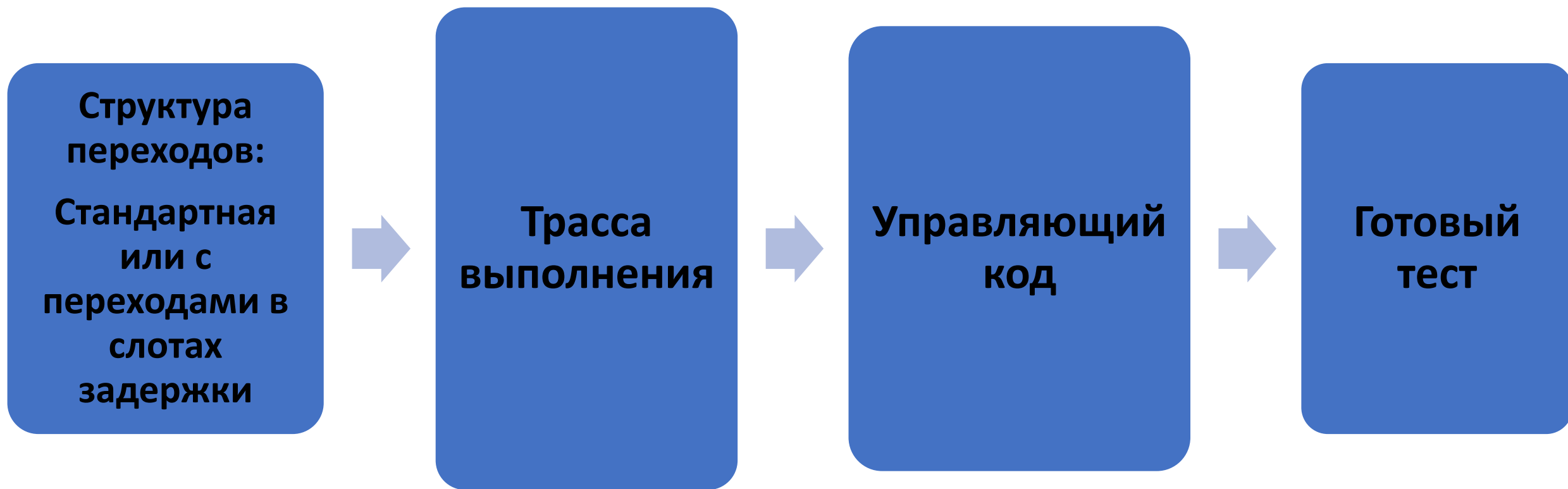
Управляющий код

Для обеспечения заданной трассы выполнения в генерируемый тест встраивается управляющий код, задача которого выставлять используемые для проверки истинности условий переходов регистры в заданное состояние

Задачи

- **Разработать модуль для верификации инструкций передачи управления со следующими возможностями:**
 - **Генерация структур переходов**
 - **Получение трасс выполнения**
 - **Создание управляющего кода**
- **Внедрить модуль в генератор случайных тестов**

Подход к генерации теста



Создание трасс управления

Для создания трасс выполнения используется поиск в глубину:

- На вход функции генерации трассы выполнения подается максимальный размер трассы
- По умолчанию все переходы отклоняются (*not taken*)
- Если во время создания трассы достигнут максимальный размер – функция возвращается назад по графу до последнего отклоненного перехода и меняет его состояние с отклонен на принят (*taken*)

Инструкции переходов в слоте задержки

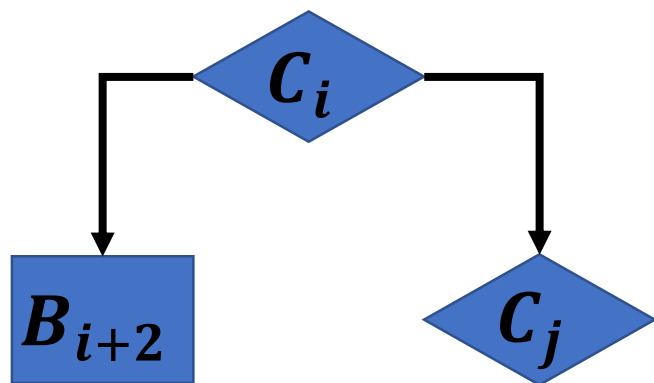
В микропроцессорах архитектуры SPARC в слоте задержки инструкции перехода может находиться другая инструкция перехода и если оба перехода приняты, то:

- В качестве слота задержки второго перехода используется адрес назначения первого перехода**
- После исполнения одной инструкции по адресу первого перехода, конвейер продолжает исполнять инструкции начиная с адреса назначения второго перехода**

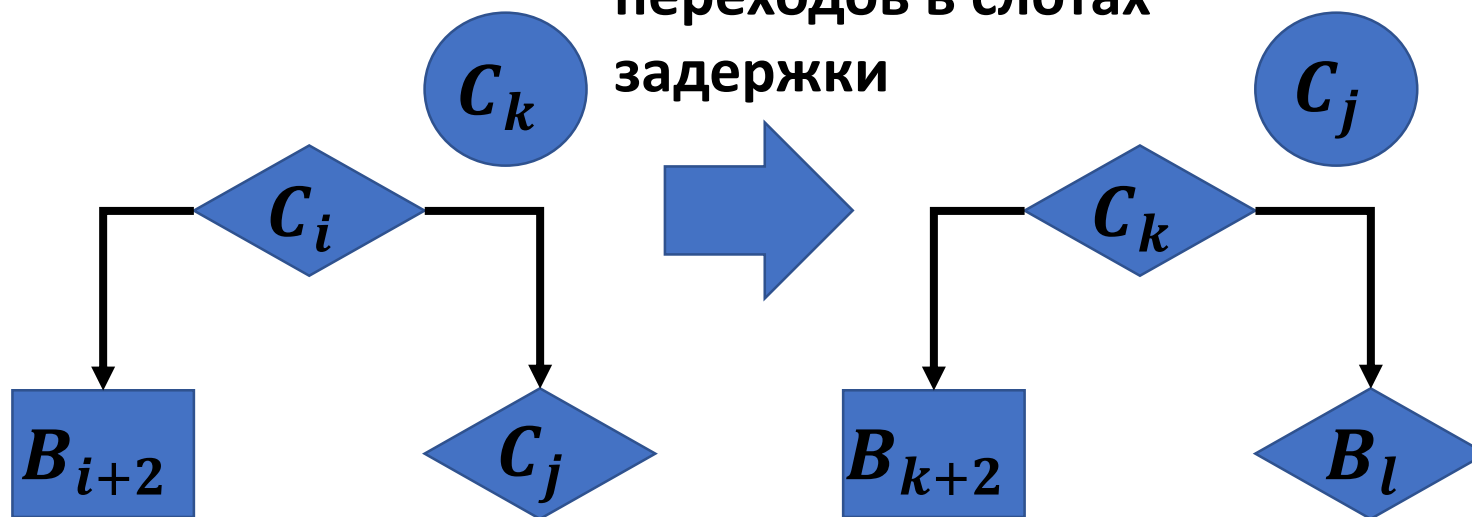
Инструкции переходов в слоте задержки

При генерации трассы переходов поиск в глубину дополняется буфером *delay*, содержащим в себе индекс следующего элемента структуры, который будет посещен функцией составления трассы переходов

Обычная схема генерации трассы



Генерация трассы с инструкциями переходов в слотах задержки



Построение управляющего кода

Для создания управляющего кода используется таблица зависимостей. В ячейках таблицы хранятся:

- Тип управляющих регистров инструкций переходов
- Объем управляющего кода
- Зависимости между базовыми блоками и инструкциями переходов

Требования

- Небольшой размер управляющего кода, меньше 10% от общего числа инструкций в структуре
- Использование наименьшего возможного количества регистров общего назначения

Таблица зависимостей

	C_k	C_d	C_j	N	CC	reg
B_i						
B_l						
Тип инструкции						

Результаты

Разработана библиотека генерации структур переходов и трасс выполнения на языке C++

В библиотеке реализованы различные функции, отвечающие за генерацию структур, трасс и управляющего кода

Генератор rgen при помощи библиотеки позволяет создавать тесты со случайными переходами, в том числе циклами