

Московский физико-технический институт (государственный университет)
Факультет радиотехники и кибернетики
Кафедра информатики и вычислительной техники

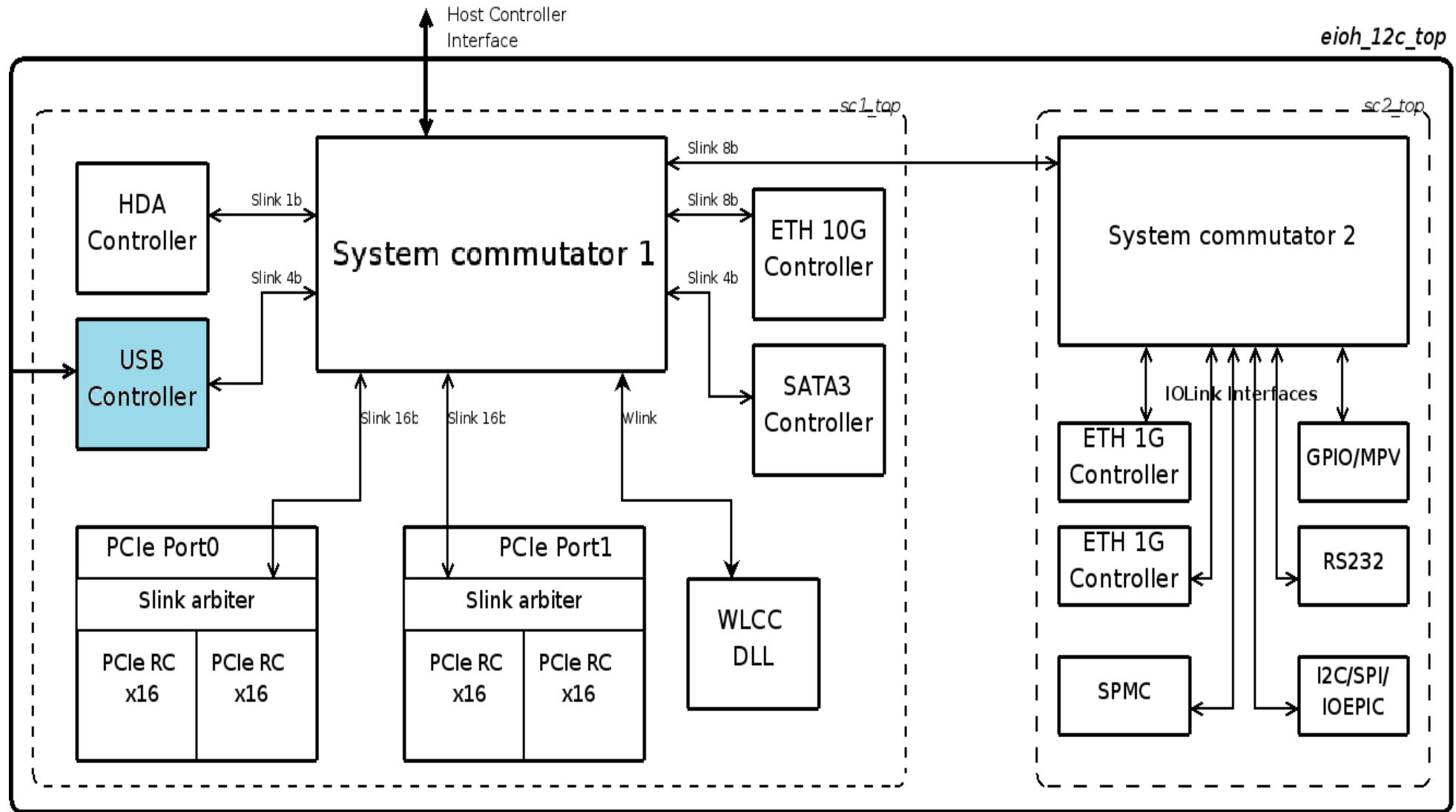
Реализация контроллера USB 3.0 в составе процессоров Эльбрус-12С и Эльбрус-2С3

Выпускная квалификационная работа
(магистерская работа)

Выполнил: студент 213 группы Абакаров М. А.
Научный руководитель: д.т.н Фельдман В. М.
Научный консультант: Белянин И. В.

Москва 2018

Встроенный контроллер периферийных интерфейсов процессора E12C



Блок-схема встроенного контроллера периферийных интерфейсов процессора E12C (eIOH_e12c)

Цель работы

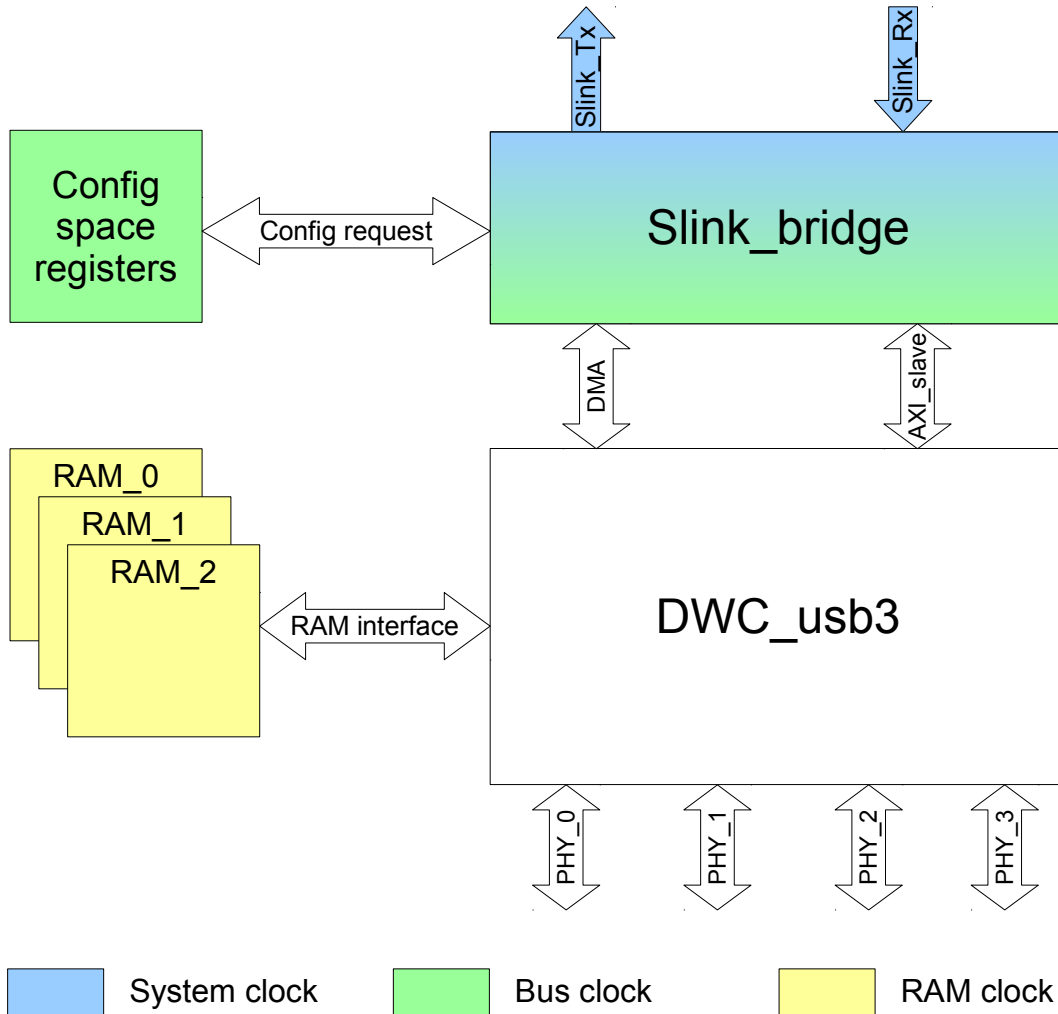
Реализовать контроллер универсальной последовательной шины (USB 3.0) в составе EIOH (встроенного контроллера периферийных интерфейсов), который должен удовлетворять следующим требованиям:

- 4 физических порта USB 3.0/2.0.
- Скорость каждого USB 2.0 порта — 480 Мбит/с (полудуплекс).
- Скорость каждого USB 3.0 порта — 5 Гбит/с (в обоих направлениях).
- Программный интерфейс PCI-устройства
- Системный интерфейс Slink.
- Рабочая частота 2ГГц.

Задачи

- Сконфигурировать базовое RTL-описание USB 3.0 хост-контроллера фирмы Synopsys (DWC_usb3) с помощью программы Synopsys Coreconsultant.
- Разработать мост для обеспечения связи интерфейсов хост-контроллера с интерфейсом Slink системного коммутатора.
- Подключить контроллеры физического уровня фирмы Synopsys.
- Подготовить устройство к автономной верификации.
- Подготовить устройство к отладке на макете.

Общая схема устройства



- DWC_usb3 — USB хост-контроллер фирмы Synopsys
- Slink_bridge — мост обеспечивающий связь интерфейсов хост-контроллера с интерфейсами системного коммутатора
- RAM_0 — кэш дескрипторов
- RAM_1 — буфер пакетов на передачу
- RAM_2 — буфер принятых пакетов
- Config space registers — набор регистров конфигурационного пространства PCI-устройства

Параметры конфигурации DWC_usb3

- 4 корневых порта USB 2.0
- 4 корневых порта USB 3.0
- 4 внутренних шины HighSpeed для USB 2.0
- 4 внутренних шины SuperSpeed для USB 3.0

Общая пропускная способность:

$$(4*4 \text{ Гбит/с} + 4*4 \text{ Гбит/с} + 4*0.480 \text{ Гбит/с}) = 33.92 \text{ Гбит/с}$$

- Шина данных с Slink bridge для DMA-транзакций — 64 бит 350 МГц, по приему и передаче ($2*64 \text{ бит}*0.35 \text{ ГГц} = 44.8 \text{ Гбит/с}$)
- Использование интерфейса для двухпортовой памяти (DPRAM)

Slink bridge

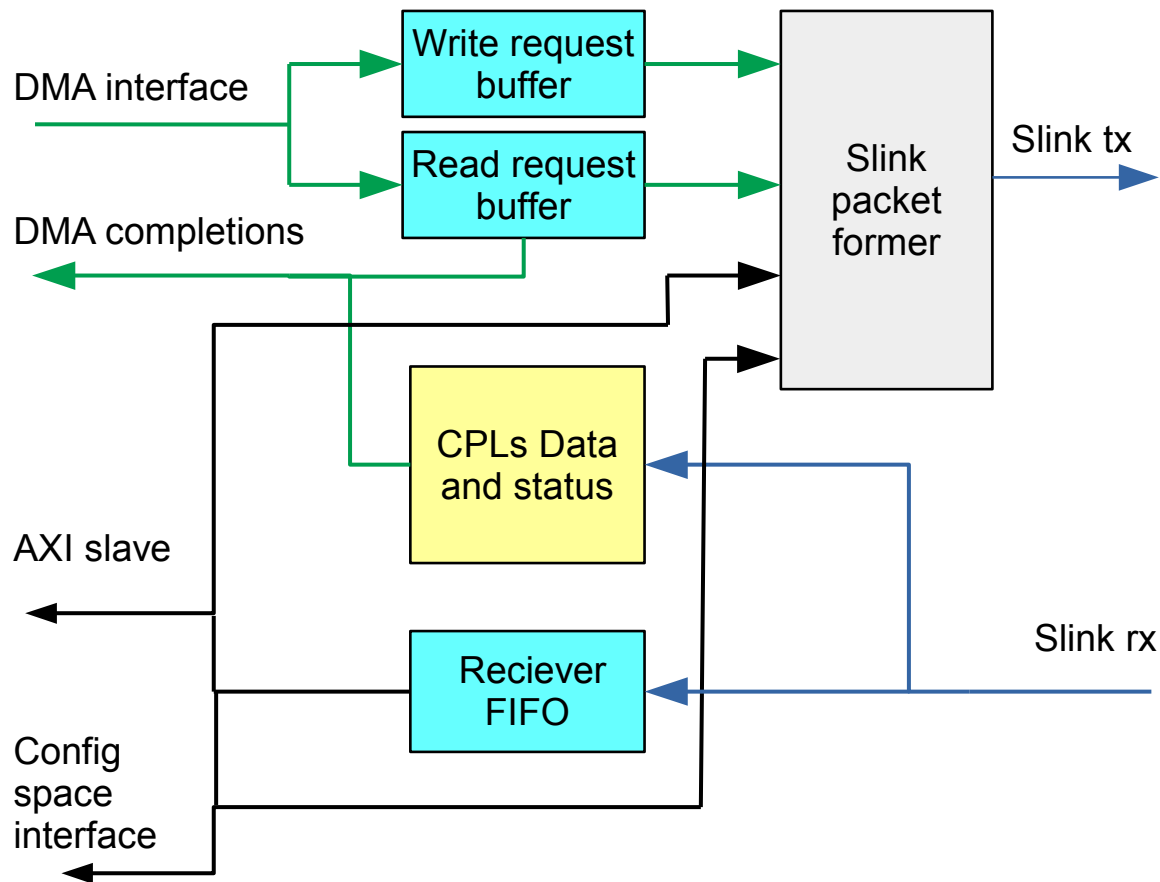
Был разработан мост, к которому предъявлялись следующие требования:

- Максимальный размер данных в пакете Slink — 64 байт
- Запрос не должен пересекать границу адреса — 64 байт
- Поддержка атрибута отмены слежения за когерентностью (No Snop)
- Обеспечение пропускной способности 33.92 Гбит/с

Функциональность:

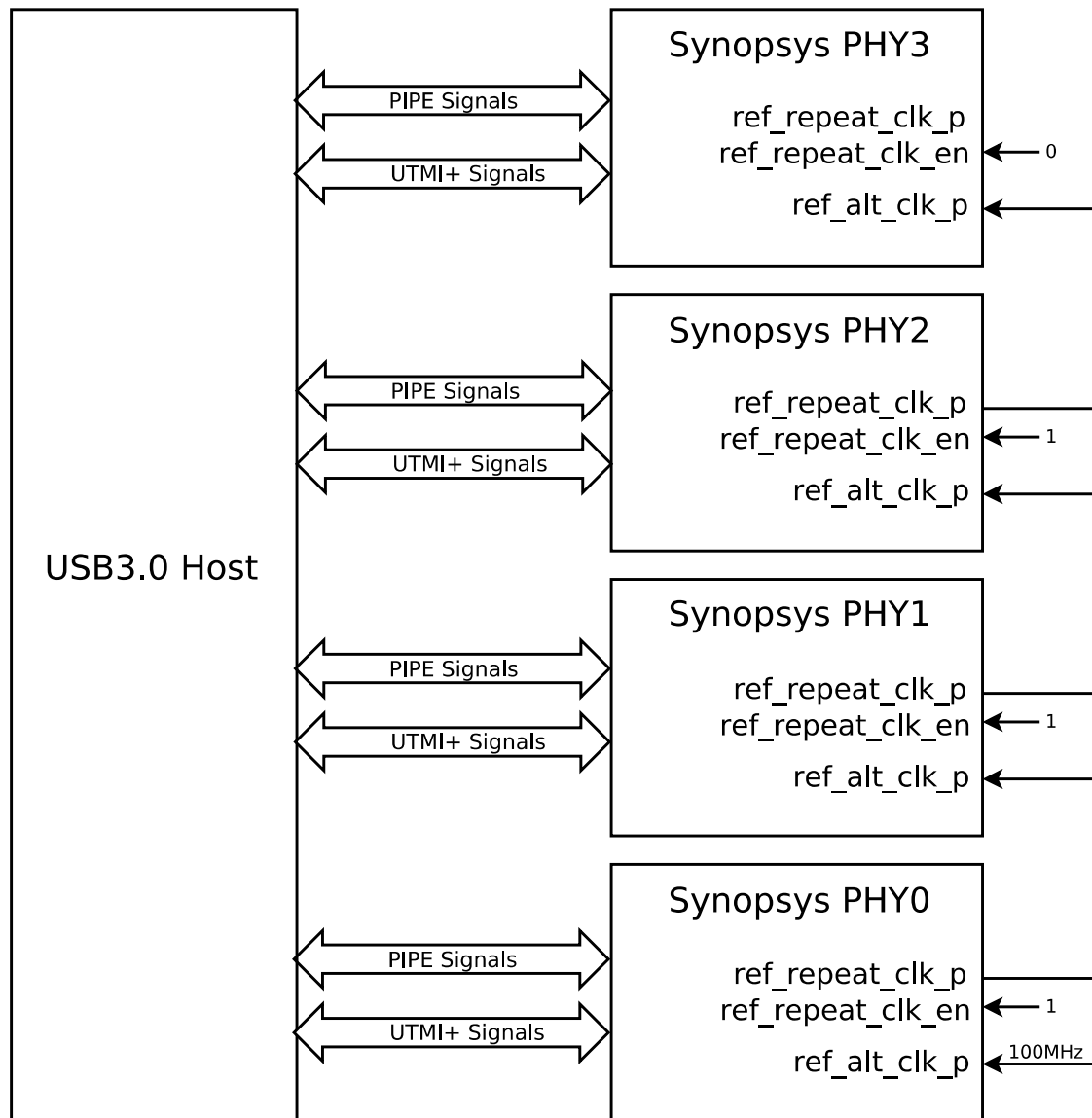
- Преобразование DMA запросов в транзакции интерфейса Slink
- Доступ к регистрам хост-контроллера
- Пересинхронизация на системную частоту.

Slink bridge



- *CPLs Data and status* — память для принятых ответов: время возвращения ответа не должно превышать время опустошения заполненной памяти 64×128 бит (для 16 ответов).
- *Read/Write request buffer* — буфер для передачи запросов: компенсация времени преобразования пакета (разбиения большого запроса на меньшие) и времени освобождения ресурса.
- *Reciever FIFO* — буфер для приема запросов: компенсация времени тратящегося на передачу по интерфейсам AXI slave и Cfgspace. (4 пакета — количество кредитов).
- *Slink packet former* — формирование пакетов Slink.

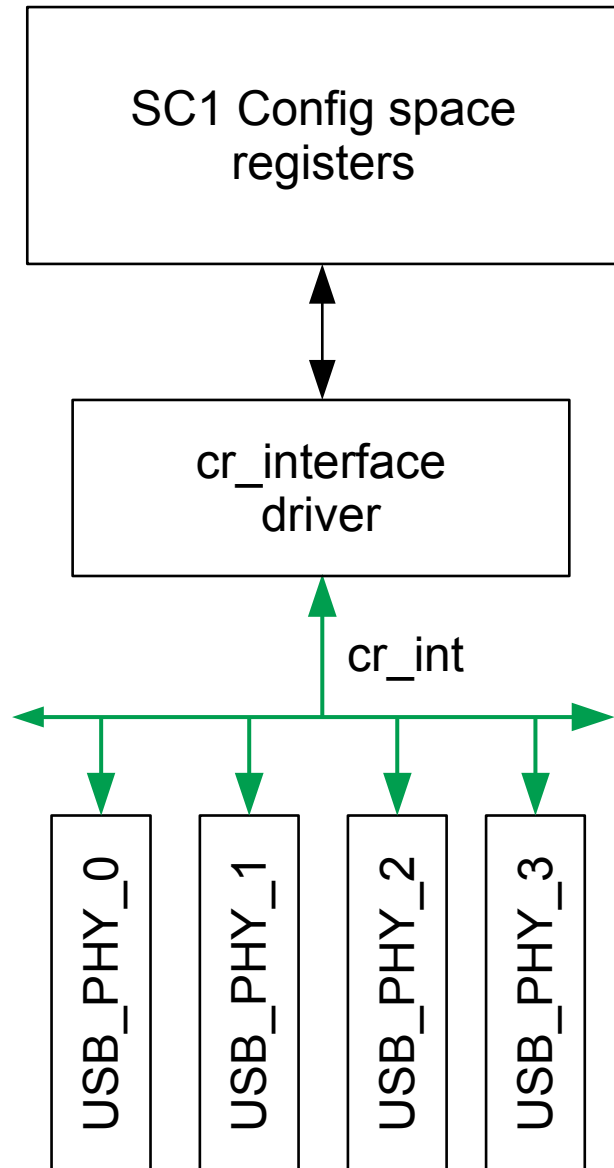
Подключение контроллера физического уровня



Для каждого USB порта используется отдельный блок физического уровня Synopsys.

- PIPE 32-bit 125MHz — интерфейс между контроллером и трансивером USB 3.0
- UTMI+ 16-bit 30MHz — интерфейс между контроллером и трансивером USB 2.0
- повторитель входного опорного синхросигнала. Все блоки, кроме самого первого, получают на входе буферизованный синхросигнал от предыдущего блока.

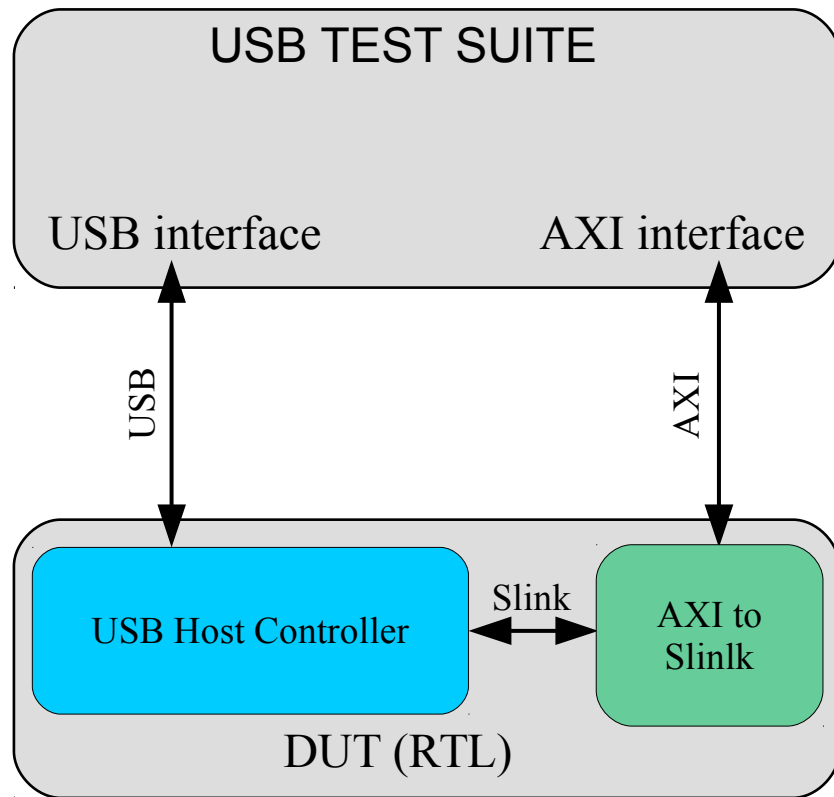
Доступ к настройкам контроллера физического уровня



Блок физического уровня фирмы Synopsys имеет интерфейс с асинхронными сигналами для доступа к внутренним регистрам.

Разработан модуль, который формирует сигналы асинхронного интерфейса. Программный доступ осуществляется с помощью дополнительных регистров конфигурационного пространства системного коммутатора 1.

Подготовка к автономному тестированию

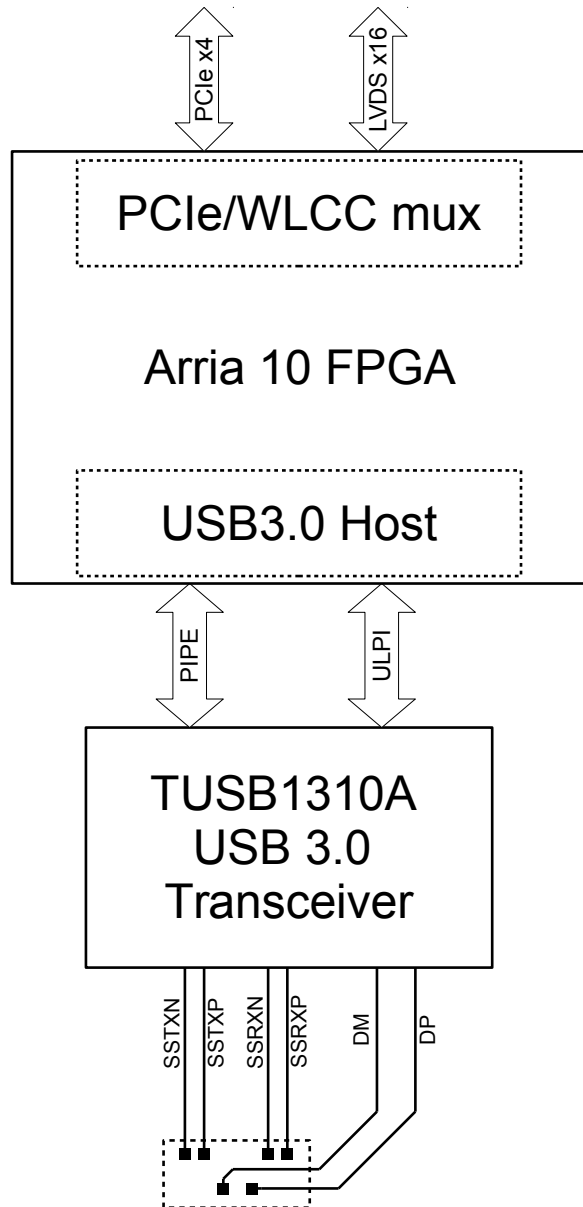


Synopsys предлагает набор тестов для верификации USB контроллера. Test Suite имеет интерфейс AXI (Advanced eXtensible Interface).

Был разработан модуль преобразующий транзакции с интерфейса AXI в пакеты Slink.

Реализована возможность сборки с контроллером физ.уровня и без.

Подготовка к отладке на прототипе



Отдельная сборка для ПЛИС Arria 10:

- Для достижения лучших временных характеристик — добавление регистровых задержек в конвейерные стадии формирования DMA-запроса, генерации адреса, формирования пакетов на передачу и принятых пакетов.
- Использование SRAM памяти Altera вместо Dolphin.

Изменены интерфейсы с внешним физ.уровнем:

- PIPE 16-bit 250MHz — интерфейс между контроллером и трансивером USB 3.0
- ULPI 8-bit 60MHz — интерфейс между контроллером и трансивером USB 2.0

Результаты

- Сконфигурировано базовое RTL-описание USB 3.0 хост-контроллера фирмы Synopsys (DWC_usb3)
- Разработан мост для обеспечения связи интерфейсов хост-контроллера с интерфейсом Slink системного коммутатора.
- Написаны “частичные сборки” для автономного тестирования контроллера и для отладки на прототипе.
- Пройдены автономные тесты по доступу к регистрам конфигурационного пространства и операционным регистрам хост-контроллера (xhci).