

К.т.н. Г.В. Кристовский, Ю.Л. Погребной (ЗАО «МЦСТ», ПАО «ИНЭУМ им. И.С. Брука»), **Ю.М. Потовин** (ЗАО «МЦСТ»), **С.А. Соин** (ЗАО «МЦСТ», ПАО «ИНЭУМ им. И.С. Брука»)

G. Kristovskiy, Y. Pogrebnoy, Y. Potovin, S. Soin

НОВЫЙ ПОДХОД К ФИЗИЧЕСКОМУ ПРОЕКТИРОВАНИЮ КЭША ПЕРВОГО УРОВНЯ ДЛЯ МИКРОПРОЦЕССОРОВ СЕРИИ «ЭЛЬБРУС»

NEW APPROACH TO L1 CACHE PHYSICAL DESIGN FOR MICROPROCESSORS OF «ELBRUS» LINE

Рассматривается создание блоков памяти для кэша первого уровня нового микропроцессора серии «Эльбрус». Основная идея заключается в замене двух стандартных блоков с двумя универсальными портами: каждый – одним заказным блоком с четырьмя портами чтения и двумя портами записи. Описаны особенности схемотехники и оптимизированной топологии заказного блока. Исследование модели, экстрагированной из топологии, подтвердило соответствие характеристик разработанного блока требованиям кэша первого уровня. Сокращение количества блоков позволило улучшить топологический план кэша и оптимизировать критические цепи.

The paper deals with task of generating the first level cache memory blocks for new microprocessor of «ELBRUS» line. The main idea was to replace two standard memory blocks having 2 read/write ports with one custom block with 4 read ports and 2 write ports. The features of novel circuitry and optimized layout of custom block are described. Investigation of memory block model extracted from topology confirmed adequacy of designed block to requirements of the first level cache. Reduced number of memory blocks allowed to improve the floorplan of the first level cache and optimize critical passes.

Ключевые слова: кэш, заказное проектирование, ячейка

памяти, многопортовая память, топология.

Keywords: transistor, memory cell, multi-port memory, cache, custom design, layout.

Введение

Для повышения производительности в современных микропроцессорах используются несколько уровней кэш-памяти. В частности, в проектах ЗАО «МЦСТ» «Процессор-1» и «Процессор-9» (8-ядерные процессоры линии «Эльбрус», выполненные на базе технологии 28 нм, с тактовой частотой 1,2 ГГц и 1,5 ГГц соответственно), предусмотрены кэши первого и второго уровней для каждого из восьми ядер и общий кэш третьего уровня. Данная разработка была выполнена в рамках проекта «Процессор-9».

В первом из этих проектов кэш L1 был реализован как два двухпортовых блока суммарной емкостью 64 Кбайт с независимыми портами чтения и объединенными для обеспечения одинаковости данных портами записи. Однако, анализ требований, поставленных во втором проекте, показал, что стандартные блоки памяти, сгенерированные промышленными компиляторами, не позволяют получить частоту работы, заданную в проекте «Процессор-9». В результате были предложены схемотехнические решения, и разработана топология заказных блоков памяти, имеющих четыре порта чтения и два порта записи (для памяти данных) и четыре порта чтения и один порт записи (для памяти тегов), обеспечивающих необходимые временные характеристики. На основе этих решений разработан топологический план устройства L1 и оптимизированы критические связи.

1. Требования к блокам памяти в кэше L1 для проекта «Процессор-9»

Проект «Процессор-9», как и «Процессор-1», рассчитан на КМОП-технологии с технологическими нормами 28 нм. В обоих случаях для кэша L1 была принята частично

ассоциативная организация, где память данных организована в виде четырех колонок по 2k 78-разрядных слов, причем каждой колонке приписан свой блок памяти тегов емкостью 512 слов разрядностью 53. Время чтения из L1 должно составлять два такта. Строка адресуется индексом, задаваемым разрядами 13-5 адреса, номер слова определяют разряды 4-3, а разряды 2-0 используются для обращения к конкретному байту.

Для минимизации задержки при чтении происходит одновременное обращение ко всем столбцам памяти данных и к памяти тегов. Четыре слова, считанные с памяти тегов, запоминаются на регистрах, максимально приближенных к блокам памяти. Четыре тега поступают на четыре компаратора. Если какой либо из прочитанных тегов совпадает с теговой частью адреса, генерируется сигнал «hit», который управляет мультиплексором. Упрощенная функциональная схема кэша приведена на рис. 1.

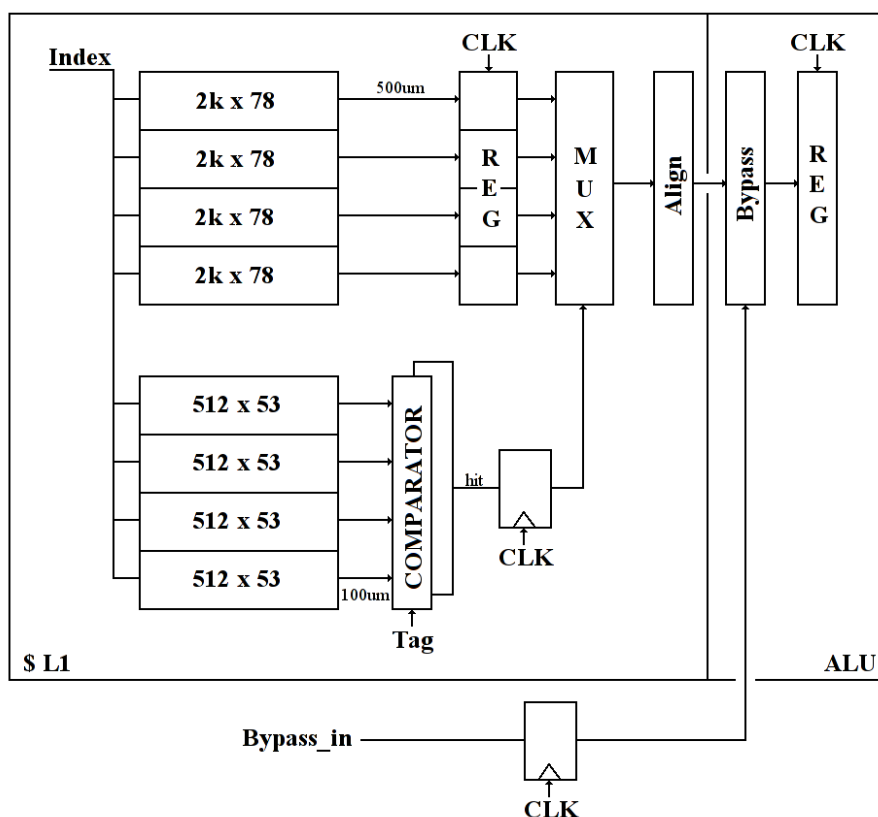


Рис. 1. Функциональная схема кэша «Процессора-9»

При записи данные модифицируются в столбце, для которого имел место сигнал

«hit». Существенно, что блоки, используемые в памяти данных, должны позволять модифицировать данные с точностью до байта.

Согласно техническому заданию на проект, «Процессор-9» должен иметь рабочую частоту 1,5 ГГц, что соответствует периоду синхронизации длительностью 670 пс. Для получения чистого времени, приходящегося на работу кэша, из длительности периода синхронизации необходимо вычесть разброс синхросигнала, время установки и время задержки триггера. Предположим, что эти накладные расходы не превышают 100 пс, тогда часть такта, отведенная для работы L1, составляет 570 пс. Из функциональной схемы (рис. 1) видно, что первый такт целиком отведен на чтение из памяти данных. Однако необходимо учесть время распространения данных с выходов блоков памяти до приемных регистров. Согласно предварительным оценкам, длина связи примерно равна 500 мкм, что приводит к дополнительной задержке 70-80 пс, следовательно, время чтения из блока памяти данных должно быть меньше 500 пс. Еще более жесткие временные требования предъявляются к блокам памяти тегов, т.к. в такте чтения дополнительно необходимо выполнить сравнение тегов. Моделирование схемы компаратора при помощи программы Spice дало задержку 110 пс. Для памяти тегов в силу меньшей площади потери на связях могут быть меньше, чем для памяти данных, – предварительная оценка 50 пс. Таким образом, задержка чтения из блока памяти тегов должна быть меньше 410 пс.

Во время работы над проектом «Процессор-1» было выполнено сравнение компиляторов компаний Dolphin, Virage (теперь Synopsys) и TSMC. В результате выяснилось, что компиляторы компании Dolphin обеспечивают лучшие временные характеристики. В линейке компиляторов этой фирмы есть один, который позволяет генерировать блоки памяти с двумя универсальными портами и разрядностью не более 72. Исходя из этого ограничения, в «Процессоре-1» для памяти тегов выбраны блоки 512×52, а для памяти данных – 2048×39. Наряду с этим, проведенный по данным табл. 1 анализ

показал, что ни один блок меньших размеров не подходит для использования в кэше L1 проекта «Процессор-9». Увеличение их числа приведет к существенному росту площади кэша, удлинению связей и потере быстродействия.

Таблица 1

Характеристики ряда двухпортовых блоков, полученные с использованием компилятора компании Dolphin

	2048×39 (mux8)	1024×39 (mux4)	512×39 (mux4)	512×53 (mux4)
Время цикла, пс	690	570	520	540
Время задержки выхода, пс	690	570	520	540
Площадь, мкм ²	47903	26550	16707	21261

Примечание: Данные получены для типовых параметров транзисторов, температуры 125 С° и рекомендованного значения порога усилителя.

2. Анализ факторов, ограничивающих быстродействие при формировании кэша L1 из стандартных блоков памяти

На рис. 2а и 2б приведены соответственно электрическая схема классической 6-транзисторной ячейки и функциональная схема блока памяти на ее основе. Важным достоинством такой ячейки является простота, дающая возможность минимизировать площадь. В частности, фирма TSMC заявляет, что для технологии 28 нм была разработана топология однопортовой ячейки памяти с площадью 0,13 мкм². При этом универсальность порта записи/чтения позволяет минимизировать площадь массива ячеек, т.к. одни и те же битовые шины могут быть использованы для входных и выходных данных.

Рис. 2. Блок памяти на базе классической 6-транзисторной ячейки статической памяти
(а – электрическая схема базовой ячейки, б – функциональная схема блока)

Но в случае введения в базовую ячейку второго порта необходимо параллельно транзисторам T5 и T6 подключить еще по одному транзистору, а для исключения разрушения информации при одновременном обращении по обоим портам необходимо увеличить размеры всех транзисторов ячейки. Это приведет к росту задержки, т.к. площадь двухпортовой ячейки увеличивается вдвое по отношению к площади однопортовой.

Дополнительные ограничения вносит и конструкция блока. Задержка блока памяти описывается выражением:

$$T_{mem} = T_{dec} + T_{wl} + T_{bl} + T_{mux} + T_{sa},$$

где T_{dec} – задержка дешифратора, T_{wl} – задержка распространения сигнала по словарной шине, T_{bl} – задержка распространения сигнала по битовой шине, T_{mux} – задержка выходного мультиплексора, T_{sa} – задержка усилителя чтения.

Основную задержку вносят битовые шины и усилитель чтения. Поскольку битовые шины перезаряжаются через транзисторы связи, размеры которых минимальны для данной технологии, то для уменьшения задержки необходимо работать с малыми сигналами на битовых шинах. С другой стороны, для устойчивой работы усилителя чтения его входное напряжение должно быть больше некоторого порогового значения. Общий вывод таков: за высокую плотность в стандартных блоках памяти приходится платить потерей быстродействия.

Итогом приведенного анализа стало заключение о необходимости нового подхода к построению кэш-памяти L1 в проекте «Процессор-9».

3. Альтернативный проектный вариант

В течение последних десяти лет появился ряд работ, в которых предложены другие схемы запоминающих ячеек и другие структуры блоков памяти. В основном это поиск решений, которые позволили бы создать устройства памяти, работающие при низких напряжениях. Дело в том, что для мобильных применений нужны микропроцессоры с малым потреблением мощности. Ввиду того что мощность квадратично зависит от напряжения, за наиболее эффективный способ решения проблемы можно принять уменьшение напряжения, но здесь принципиальное значение приобретает тот факт, что с понижением напряжения питания резко падает помехозащищенность 6-транзисторной ячейки [1].

Наиболее известной альтернативой является 8-транзисторная ячейка [2], схема которой приведена на рис. 3. Ее увеличенная помехозащищенность достигается за счет двух факторов: во-первых, разделены порты записи и чтения, во-вторых, введен усилительный транзистор, через который замыкается выходной ток при чтении. Таким образом, процесс чтения никак не влияет на состояние хранящего триггера.

Рис.3. 8-ми транзисторная ячейка памяти

С другой стороны, при однофазном чтении возникает проблема фиксации малого перепада, т.к. необходимы специальные схемы, формирующие опорный сигнал для

усилителя чтения. Неизбежный разброс амплитуды опорного сигнала потребует увеличения порога срабатывания усилителя чтения, что приведет к росту задержки. Исходя из этих соображений, при создании блоков памяти на 8-транзисторных ячейках для повышения быстродействия и помехозащищенности целесообразно использовать схемы, работающие с полным логическим перепадом. Однако при таком подходе с неизбежностью увеличивается площадь.

Идея, позволяющая смягчить это противоречие в проекте «Процессора-9», состояла в том, чтобы заменить два блока с двумя универсальными портами одним блоком, имеющим четыре порта чтения и два порта записи. Ее воплощению способствовало то обстоятельство, что схема 8-транзисторной ячейки позволяет легко наращивать количество портов чтения и записи. На рис. 4 показана ячейка, имеющая четыре порта чтения и два порта записи. Недостаток ячейки, состоящий в увеличении числа шин из-за необходимости использовать по две битовых шины в каждом порте записи, был устранен принятыми схемотехническими решениями.

Рис. 4. Ячейка памяти с двумя портами записи и четырьмя портами чтения

4. Схемотехнические и топологические решения

Разработка была проведена в соответствии со следующими установками:

- спроектировать электрическую схему и топологию блока, пригодного для замены стандартного двухпортового блока памяти емкостью 1024×39 , который имел бы ту же емкость, но существенно меньшую задержку по чтению, и площадь, равную суммарной площади двух двухпортовых блоков;

- при создании этого блока использовать только схемы, работающие с полным перепадом;

- для получения максимального быстродействия использовать принцип двухуровневого чтения: на первом уровне небольшое количество запоминающих ячеек работает на локальные битовые шины, которые потом объединяются в глобальных выходных шинах.

Было рассмотрено несколько возможных конструкций и выявлено, что оптимальными временными характеристиками будет обладать блок 512×78 , т.к. при его выборе уменьшается длина битовых шин. Для уменьшения их количества была разработана схемотехника, позволяющая выполнить две записи за такт [3]. Иными словами, в данном проекте порты записи разделены во времени. Топология этой ячейки отображена на рис. 5.

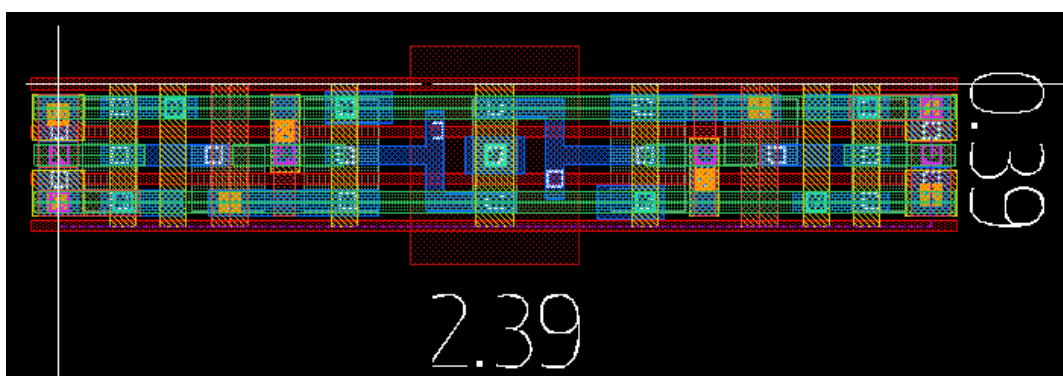


Рис.5. Топология ячейки памяти с двумя портами записи и четырьмя портами чтения

Словарные шины четырех портов чтения и порта записи выполнены в вертикальных слоях металла, а локальные битовые шины портов чтения и парафазные битовые шины

порта записи – в горизонтальных слоях. Топология выдержана в рекомендуемых проектных нормах технологии TSMC 28 нм. При этом ширина запоминающей ячейки составила всего 0,39 мкм, что сократило длину как локальных, так и глобальных битовых шин и позволило объединить на глобальной шине 256 слов без существенных потерь по скорости чтения.

Для дальнейшего уменьшения длины битовых шин в рамках единой конструкции блок разбит на два подблока емкостью 256×78, что позволило еще вдвое сократить длину локальных и глобальных битовых шин. В каждом подблоке группы из 16 запоминающих ячеек подключены к локальным битовым шинам, которые объединены в пары. Восемь таких пар через усилительные транзисторы подключены к глобальной битовой шине, управляющей триггером типа SDL (Set Dominant Latch). Для получения максимального быстродействия, как на уровне локальной битовой шины, так и для глобальной битовой шины, использовались схемы с предзарядом (рис. 6).

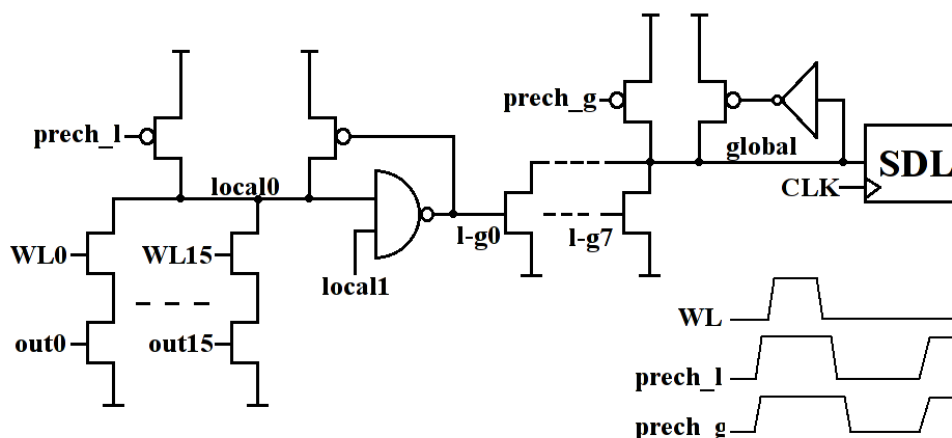


Рис.6. Схема тракта чтения

Все приведенные решения позволили уменьшить площадь разработанного блока до величины, не превышающей площади двух стандартных блоков.

Чтобы реализовать две записи за такт, из внешнего синхросигнала генерировался внутренний синхросигнал двойной частоты, который использовался для синхронизации

дешифратора и драйверов порта записи.

Для управления режимами работы блока использовались четыре сигнала выбора порта чтения, два сигнала выбора порта записи и 10 сигналов групповой записи: восемь для побайтовой записи и два для записи групп по три бита.

При разработке блока для памяти тегов была использована та же схемотехника. Особенность этого блока в том, что модификация тегов потребовала только одного порта записи, а их хранение – меньшую разрядность. Эти два упрощения позволили уменьшить задержку блока до 350 пс.

Разработанные блоки памяти данных и тегов были объединены в блоке L1-TLB проекта «Процессор-9». Он включает в себя кэш первого уровня и блок ассоциативной трансляции (translation lookaside buffer, TLB). Наличие четырехпортовых блоков для памяти данных и тегов дало возможность существенно оптимизировать топологию кэша L1. Прежде всего, это позволило отказаться от дублирования блоков памяти и тегов, как это было сделано в «Процессоре-1». Кроме того, упростилась коммутация данных, выходящих из блоков памяти, и в два раза уменьшилось количество «получателей» адреса входящего обращения, а это один из самых напряженных критических путей кэша L1. Результатом упрощений стало уменьшение площади L1-TLB на 0,32 мм² (15%) по сравнению с проектом «Процессор-1». Сыграла свою роль и меньшая (по сравнению с блоками, получаемыми при помощи компилятора) задержка, она позволила достичь необходимой по ТЗ частоты без изменения конвейера L1-TLB.

5. Результаты работы

Описанный в статье подход позволил создать блоки для памяти данных и памяти тегов с требуемыми электрическими и топологическими характеристиками. Их основные параметры приведены в табл. 2.

Таблица 2

Область применения	Емкость	Площадь, мкм ²	Время задержки, пс	Время установки адреса, пс
Память данных 4R/2W (заменяет два блока DP 1024×39)	512×78	51668	395	30
Станд. блок DP (Dolphin)	1024×39	26650	600	50
Память тегов (заменяет два блока DP 512×53)	512×53	37216	350	30
Станд. блок DP (Dolphin)	512×53	21261	540	50

Из таблицы следует, что разработанные блоки имеют существенно меньшую задержку по сравнению с блоками, которые позволяют генерировать компилятор блоков памяти.

В отличие от стандартных блоков памяти, вновь разработанные блоки допускают одновременное обращение по портам записи и чтения, за исключением случая, когда адрес чтения совпадает с адресом записи. Для блока данных также запрещено одновременное обращение обоих портов записи по одному и тому же адресу. Независимость портов записи и чтения позволяет существенно упростить методику проверки работоспособности этих блоков.

Литература

1. Потовин Ю.М., Соин С. Разработка быстродействующего блока памяти с ассоциативной выборкой // Проблемы разработки перспективных микро- и наноэлектронных систем – 2014. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. М.: ИППМ РАН, 2014. Часть IV. С. 29-32.

2.Chang L. et al. An 8T SRAM for Variability Tolerance and Low-Voltage Operation in High Performance Caches – IEEE Journal of Solid-State Circuits, Vol. 43, Issue 4, pp. 956-963, March, 2008.

3. Ditlow G. S. et al. A 4R2W Register File for a 2.3 GHz Wire-Speed POWER Processor with Double-Pumped Write Operation, 2011 IEEE International Solid-State Circuits Conference, Digest of Technical Papers, pp. 256-258.