

Система верификации кэша третьего уровня в процессорах архитектуры "Эльбрус"

М. В. Петроченков^{1,2}

¹ЗАО «МЦСТ»

²Институт электронных управляющих машин им. И.С.Брука

Первым микропроцессором архитектуры «Эльбрус», в котором присутствует кэш третьего уровня является система на кристалле «Эльбрус-8С» [1]. Кластер «Эльбрус-8С» представляет собой ccNUMA-систему, получаемую объединением процессоров по методу «каждый с каждым». Согласованность кэш-памятей поддерживается с помощью протокола MOSI.

В рамках процесса автономной верификации была разработана тестовая система, в которой используются методы динамической верификации [2]. Систему можно разделить на логические части: модуль генерации тестовых воздействий и поведенческую модель, осуществляющую проверку реакций кэша. RTL-описание кэша третьего уровня является тестируемым устройством.

Модуль генерации тестовых воздействий реализован на языке SystemVerilog с использованием UVM (Universal Verification Methodology). Множество допустимых воздействий на устройство определяется состояниями его кэш-строк. Модуль генерации отслеживает состояния кэш-строк для проверки корректности тестовых воздействий. Поддерживаются как псевдослучайные, так и направленные тестовые воздействия [2].

Модель кэша, реализованная на языке C++, предоставляет возможности для конфигурации системы, приема входящих и проверки исходящих сообщений. В ходе разработки модели возникла необходимость решения проблемы неопределенности в спецификации порядков событий, меняющих состояние кэша [1][3]. Для решения проблемы неопределенных порядков событий и результирующего состояния кэша в модуле проверки хранится множество состояний, каждое из которых соответствует одной из возможных последовательностей событий. При проверке реакции устройства происходит анализ множества состояний. Некорректность реакции в каждом из возможных состояний сигнализирует об ошибке в системе.

В настоящее время разработанная тестовая система используется для верификации кэша третьего уровня в микропроцессоре «Эльбрус-8С». Планируется адаптация тестовой системы для верификации других процессоров архитектуры «Эльбрус», включающих в себя кэш третьего уровня.

Литература

1. *Кожин А.С., Кожин Е.С., Костенко В.О., Лавров А.В.* Кэш третьего уровня и

поддержка когерентности микропроцессора «Эльбрус-4С+» // Вопросы радиоэлектроники. Серия ЭВТ. 2013. Вып. 3. С. 26-38.

2. *William K. Lam* Hardware Design Verification: Simulation and Formal Method-Based Approaches - 2005
3. *Qiaoli Xiong, Jiangfang Yi, Tianbao Song, Zichao Xie, Dong Tong* VFCC: A Verification Framework of Cache Coherence using Parallel Simulation – Design Automation Conference (ASP-DAC), 2013 18th Asia and South Pacific – 2013 – p.705-710