

Повышение пропускной способности подсистемы памяти СнК Эльбрус-8С2

Ю.А.Недбайло

«Институт электронных управляющих машин им. И.С. Брука»

«МЦСТ»

Многоядерные системы в соответствии с законом Мура наращивают вычислительную мощность экспоненциальными темпами. Однако пропускная способность памяти растёт не так быстро, поэтому требуются оптимизации её использования. Эльбрус-8С2 — разрабатываемая в настоящее время восьмиядерная система на кристалле с общим L3-кэшем объёмом 16 МБ и четырьмя каналами DDR4 SDRAM. Несмотря на большой объём кэшей и использование самой современной памяти, в ряде задач подсистема памяти станет узким местом. Эта проблема актуальна для многоядерных систем в целом, и существуют различные подходы к её решению.

Пропускная способность подсистемы памяти зависит от двух факторов, которые поддаются улучшению, не выходя за рамки проектных ограничений: эффективности кэшей и эффективности контроллера памяти. Уменьшив частоту промахов в кэши и повысив плотность потока обращений в память можно увеличить общий темп выполнения запросов.

Кэш второго уровня рассматриваемой СнК имеет небольшую ассоциативность, равную четырём, и её увеличение могло бы повысить его эффективность. Однако это также повысило бы сложность оборудования и энергопотребление. Схожего положительного эффекта без указанных недостатков можно добиться, реализовав скошенную ассоциативность (*skewed associativity*), суть которой заключается в использовании разных функций индексирования для разных колонок кэша [1]. При этом требуется принципиально отличный от LRU алгоритм замещения. Наиболее подходящим алгоритмом считается ENRU, но его реализация требует большого количества регистров. Рассматривается удешевлённый его вариант на основе небольших памятей вместо регистров; моделирование показывает, что он почти настолько же эффективен. В итоге скошенная ассоциативность снижает частоту промахов в L2 кэш в среднем примерно на 10%, и обращений в память — на 6%, имея цену порядка 0.1% общей площади.

Кэш третьего уровня изначально сделан инклюзивным по отношению к вышестоящим, чтобы выполнять также функцию локального справочника. Реализация неинклюзивного кэша с инклюзивным справочником [2] должна повысить его эффективность на величину порядка 10%, требуя около 1% дополнительного оборудования. Моделирование соответствующих конфигураций кэшей подтверждает эти оценки. Дополнительно повысить эффективность можно

адаптивным переключением между разными неинклюзивными схемами [3], в рассматриваемом случае достаточно включать или отключать размещение при обращении по чтению, и частота промахов в L3 кэш становится в среднем примерно на 20% ниже чем в инклюзивной схеме. В качестве альтернативы можно оптимизировать инклюзивную схему, это почти не потребует дополнительного оборудования, но и выигрыш составит лишь несколько процентов [4].

Эффективность контроллера памяти (КП) является другим фактором, определяющим пропускную способность подсистемы памяти. Во-первых, выяснено, что обычно включённый приоритет чтения, уменьшающий время доступа в память, снижает эффективность КП в полтора-два раза. Предложен простой механизм, автоматически отключающий этот приоритет при высокой загрузке КП. Во-вторых, в DDR4 банки делятся на группы, и если команды чередовать между разными группами, интервал между командами может быть четыре такта, а иначе не менее чем шесть [5]. Арбитр КП должен это учитывать, лучше всего — чередовать команды оптимальным образом. Моделирование простой проверки соблюдения темпа в конце конвейера арбитра и варианта со сложным предварительным фильтром команд показывает, что предварительный фильтр обеспечивает повышение эффективности КП порядка 20%.

С предложенными улучшениями, как показывает моделирование, подсистема памяти СнК Эльбрус-8С2 получит достаточный запас пропускной способности для большинства задач.

Литература:

1. *André Seznec*. A new case for skewed-associativity. – IRISA-INRIA. – Internal Publication No 1114, 1997.
2. *Li Zhao, Ravi Iyer, Srihari Makineni, Don Newell, Liqun Cheng*. NCID: A noninclusive cache, inclusive directory architecture for flexible and efficient cache hierarchies // Proceedings of the 7th ACM International Conference on Computing Frontiers, CF '10, New York, NY, USA. – 2010. – С. 121–130.
3. *Jaewoong Sim, Jaekyu Lee, Moinuddin K. Qureshi, Hyesoon Kim*. FLEXclusion: Balancing cache capacity and on-chip bandwidth via flexible exclusion. – SIGARCH Comput. Archit. News. – 2012. – 40(3):321–332.
4. *Aamer Jaleel, Eric Borch, Malini Bhandaru, Simon C. Stealy Jr., Joel Emer*. Achieving non-inclusive cache performance with inclusive caches: Temporal locality aware (TLA) cache management policies // Proceedings of the 43rd Annual IEEE/ACM International Symposium on Microarchitecture, MICRO '10, Washington, DC, USA. – 2010. – С. 151–162.
5. DDR4 SDRAM standard. – JEDEC Solid State Technology Association. – 2012. – 214 с.