

Система тестирования внутреннего оборудования высокопроизводительных микропроцессоров на основе стандарта JTAG

Е.С. Кожин, А.С. Кожин

Московский физико-технический институт (государственный университет)

ЗАО «МЦСТ»

Постоянное добавление нового оборудования в современных микропроцессорах, содержащих в своем составе несколько универсальных и специализированных ядер, кэш-памяти второго и третьего уровней, контроллеры системных обменов, оперативной памяти, микропроцессорных обменов и ввода/вывода, требует соответствующей поддержки со стороны системы тестирования. В большинстве случаев такие системы основываются на стандарте JTAG [1].

Этот стандарт строго регламентирует параметры проводников, по которым передаются сигналы данных и сопровождающий синхросигнал, и требует наличия одного отвечающего за работу протокола JTAG контроллера TAP (Test Access Port, порт тестирования), где реализуются регистр инструкции и машина конечных состояний. Если кристалл имеет достаточно большие размеры, то актуальна проблема длинных связей и «гонок» между сигналами данных и синхросигналом. Предпочтительным методом решения этой проблемы является применение нескольких соединенных в цепочку TAP-контроллеров, которое позволяет значительно уменьшить площадь кристалла, обслуживаемой одним контроллером, и избежать длинных передач. Таким образом, первостепенной задачей при разработке системы тестирования становится выбор топологии размещения TAP-контроллеров внутри микропроцессора и построения общей JTAG-цепочки, определяемый его топологией.

Авторами эта задача решалась применительно к микропроцессору «Эльбрус-4С+» [2], структура которого, содержащая 8 универсальных ядер, общую кэш-память третьего уровня, контроллер системных обменов SIC и 4 контроллера оперативной памяти DDR3, 3 контроллера каналов межпроцессорных обменов и один контроллер канала ввода-вывода, достаточно характерна для современного высокопроизводительного кристалла. При его проектировании большое внимание уделялось тому, чтобы в физическом дизайне МП «Эльбрус-4С+» и последующих проектах максимально использовать репликацию решений, принятых применительно к крупному внутреннему блоку, такому как процессорное ядро или банк кэш-памяти третьего уровня. Вследствие этого требования, а также симметричной топологии микропроцессора, было решено разместить по одному

ТАР-контроллеру в каждом ядре и каждой «четверти» общей кэш-памяти, а объединение этих 12 контроллеров в общую цепь выполнить по схеме «звезда» вместе с центральным ТАР-контроллером в блоке SIC.

Помимо этого, для охвата периферийных узлов кристалла в состав микропроцессора были введены покупные блоки, которые содержат ТАР-контроллеры, обеспечивающие доступ к своему отладочному оборудованию. Вследствие равномерного распределения по периметру кристалла, они были соединены в круговую цепь. Завершающим шагом при построении системы отладки стало объединение внутренней «звезды» и периферийной цепи в общую структуру.

Таким образом, была реализована единая среда отладки готового микропроцессора с использованием стандарта JTAG, объединяющая в одной системе 39 ТАР-контроллеров.

Литература

1. IEEE Standard Test Access Port and Boundary-Scan Architecture. IEEE 1149.1-1990.
2. *Кожин А.С., Кожин Е.С., Костенко В.О., Лавров А.В.* Кэш третьего уровня и поддержка когерентности микропроцессора «Эльбрус-4С+» // Вопросы радиоэлектроники. Серия ЭВТ. 2013. Вып. 3. С. 26-38.