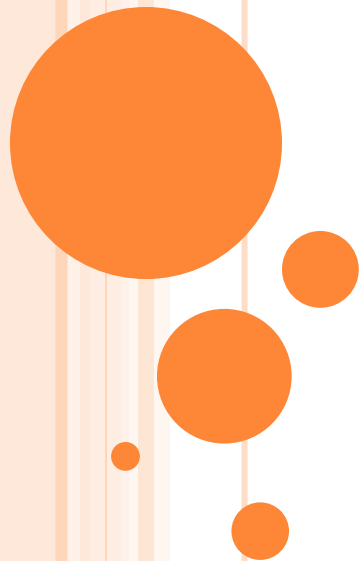


Министерство образования и науки Российской Федерации
Федеральное государственное автономное образовательное учреждение высшего
профессионального образования
«Московский физико-технический институт (государственный университет)»

Проектирование верхнего уровня в иерархическом маршруте

Зенин Е.Ю. , 816 группа МФТИ

Научный руководитель: Терентьев Ю.И., Мальшин А.В.



Цели работы:

- разработать маршрут иерархического проектирования
 - проектирование верхнего уровня
- спроектировать верхний уровень блока p2_gpi с использованием разработанного маршрута
- провести анализ разработанного маршрута и его сравнение с плоским маршрутом



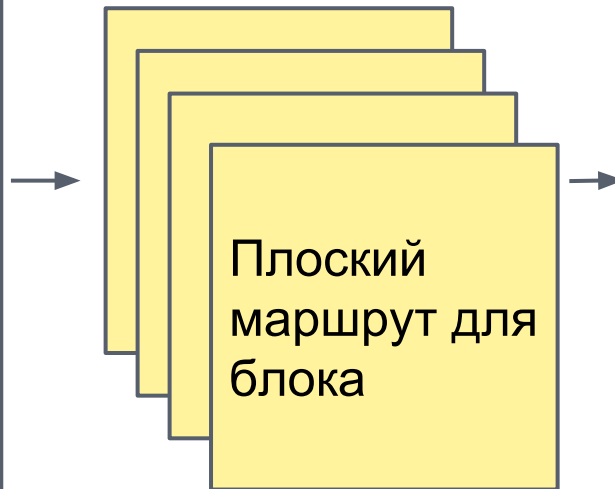
Структура маршрута проектирования

Этап 1: планирование иерархии

Этап 2: проектирование блоков

Этап 3: проектирование верхнего уровня

- синтез
- планирование и размещение иерархии
- передача физических и временных ограничений в плоский маршрут для блоков



- синтез на готовых блоках
- размещение логики верхнего уровня
- трассировка верхнего уровня

Этап 3: Синтез на готовых блоках

Цель:

Синтез и оптимизация логики верхнего уровня и внешних путей блоков

- способ представления блоков в синтезе верхнего уровня (внутренняя логика блоков уже синтезирована на этапе 2)
- оптимизация внешних путей блока и логики верхнего уровня

Решения:

- воссоздание иерархической структуры, полученной на этапе 1 (group, ungroup `-simple_names`, unify, group `-hdl_block`, change_link)
- использование технологии Block Abstraction (create_block_abstraction)
- использование технологии TIO (Transparent Interface Optimization) (set_top_implementation_options `-block_references -optimize_block_interface`)

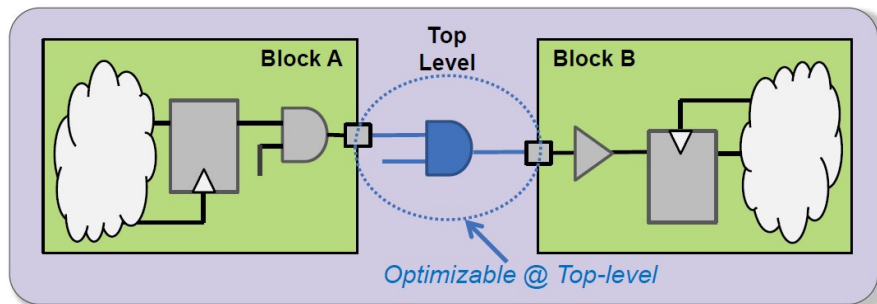
Концепция использования модели Block Abstraction при реализации иерархического маршрута

Block Abstraction - модель блока, позволяющая:

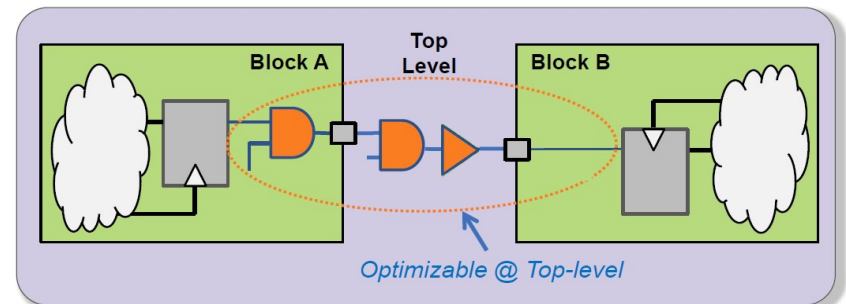
- анализировать и изменять внешние пути блока
- использовать ТИО (Transparent Interface Optimization)

Transparent Interface Optimization - оптимизация позволяющая изменять интерфейсную логику блока

До оптимизации:



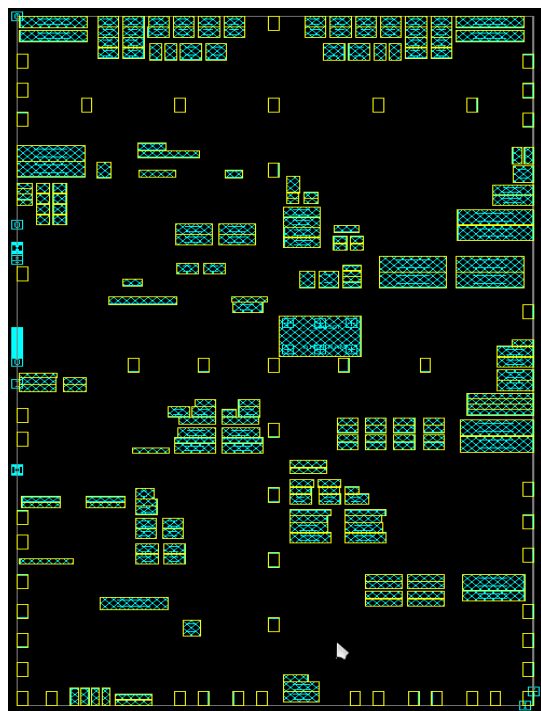
После оптимизации:



Результаты иерархического и плоского синтеза на примере блока p2_gpi

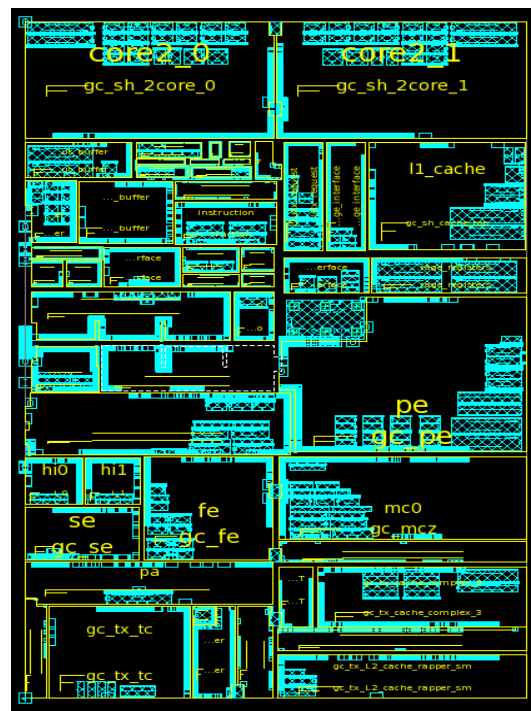
Плоский синтез

- Площадь - 17 кв. мм.
- Число стандартных элементов - 4,6 млн.
- Число макро ячеек - 258



Иерархический синтез

- Площадь - 17 кв. мм.
- Число стандартных элементов на верхнем уровне - 440 тыс.
- Число макро ячеек - 51



Этап 3: Размещение логики и трассировка верхнего уровня

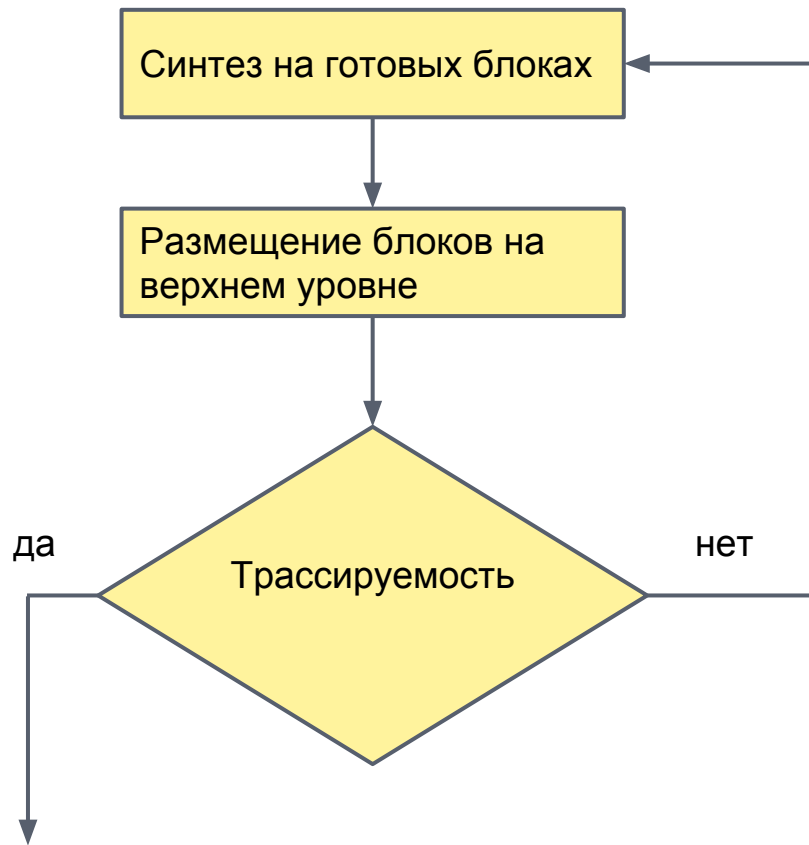
Проблемы:

- создание финального размещения блоков и логики на верхнем уровне
- трассировка верхнего уровня

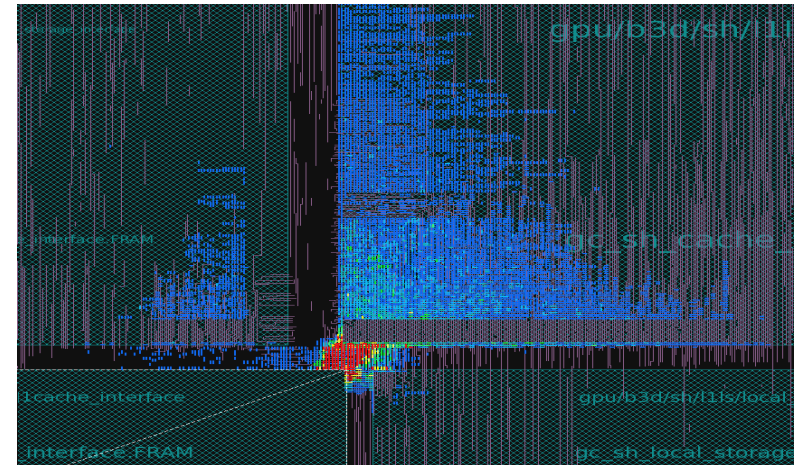
Пути решения:

- сохранение размещения блоков аналогично этапу 1 (read_floorplan . post_commit.fp)
- оценка трассировочной способности верхнего уровня и принятие решения об изменении иерархии блоков
- оценка трассировочной способности в блоках и принятие решения о передаче трассировочных слоев с уровня блока на верхний уровень

Блок-схема этапа 3



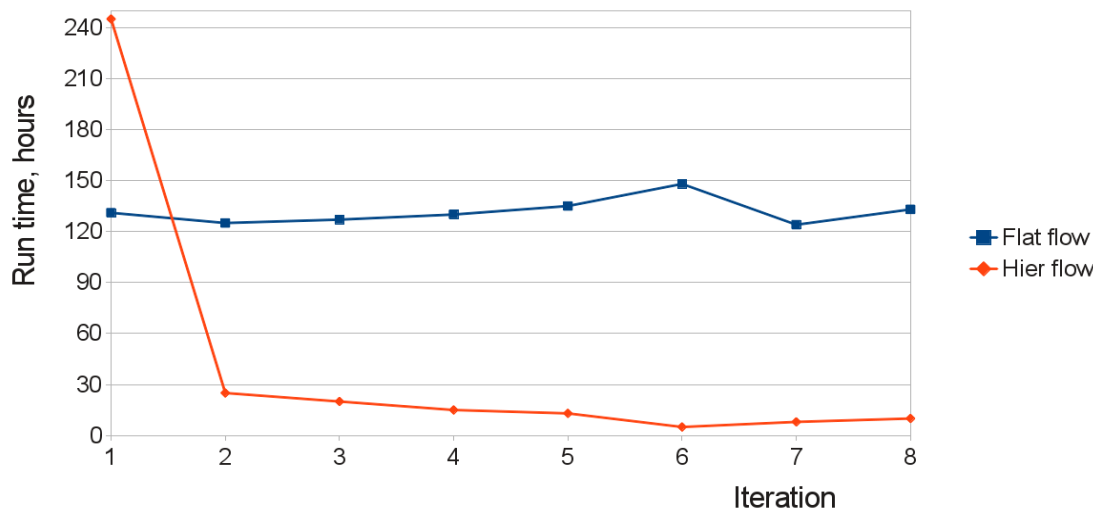
Пример плохой трассируемости блока



Результаты работы

● Время маршрута

Этапы	Плоский маршрут	Иерархический маршрут	
		Уровень блока	Подблок
DC синтез	2 дня	6,5 часа	2 часа
ICSS размещение	1 день	2,5 часа	1 час
ICSS трассировка	2 дня	5 часов	1 час
ICSS other	-	3 часа	2,5 часа
Общее время	5 дней	17 часов	6,5 часов



Среднее время по этапам иерархического маршрута на примере блока p2_gri:

- Иерархическое планирование дизайна - 6 дней
- Плоский маршрут для подблоков - 3 дня (51 блок)
- Иерархический маршрут - 1 день



Результаты работы

- Площадь

Утилизация - отношение суммарной площади всех стандартных элементов к общей площади блока.

Оптимальная утилизация : 80 - 95%.

Плоский блок p2_gpu утилизация: $U_f = 0.76$

Утилизация верхнего уровня: 0.58

Общая утилизация составляет, $U_h \sim 0.65$

$$\frac{U_f}{U_h} = 1,15$$

Возможность уменьшить площадь верхнего уровня на 15%



Спасибо за внимание.

