

Министерство образования и науки Российской Федерации
Федеральное государственное автономное образовательное учреждение
высшего профессионального образования
«Московский физико-технический институт (государственный университет)»

Разработка этапа планирования иерархии в маршруте иерархического проектирования

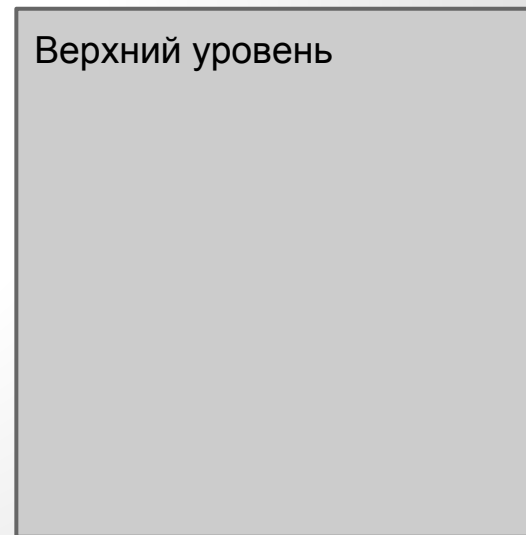
Студент 816 группы Трихин П. О.
Научный руководитель: Терентьев Ю. И. Мальшин А. В.

Маршрут физического проектирования - последовательность действий, позволяющая из RTL описания получить физическую модель блока

Маршрут физического проектирования

Иерархический

Плоский



Достоинства и недостатки плоского и иерархического подхода

Плоский

- Достоинства
 - не требуется время для изучения иерархии блока
- Недостатки
 - больше времени и вычислительных ресурсов для одной итерации проектирования
 - неоптимальное размещение стандартных элементов

Иерархический

- Достоинства
 - возможность распараллеливать проектирование блока
 - быстрое внесение изменений RTL
- Недостатки
 - дополнительное время для изучения иерархии блока

Цели работы:

- разработать маршрут иерархического проектирования
 - Этап планирования иерархии
- спланировать иерархию блока p2_гри с использованием разработанного маршрута
- провести анализ разработанного маршрута и его сравнение с плоским маршрутом

Структура маршрута проектирования

Этап 1: планирование иерархии

- синтез
- планирование и размещение иерархии
- передача физических и временных ограничений в плоский маршрут для блоков

Этап 2: проектирование блоков



Этап 3: проектирование верхнего уровня

- синтез на готовых блоках
- размещение логики верхнего уровня
- трассировка верхнего уровня

Этап 1

- Синтез

Цели:

- сохранение логической иерархии
- уменьшение времени работы САПР

Решения:

настройка САПР (команды: `uniqify`, `change_names`)
использование САПР `design explorer`

Этап 1

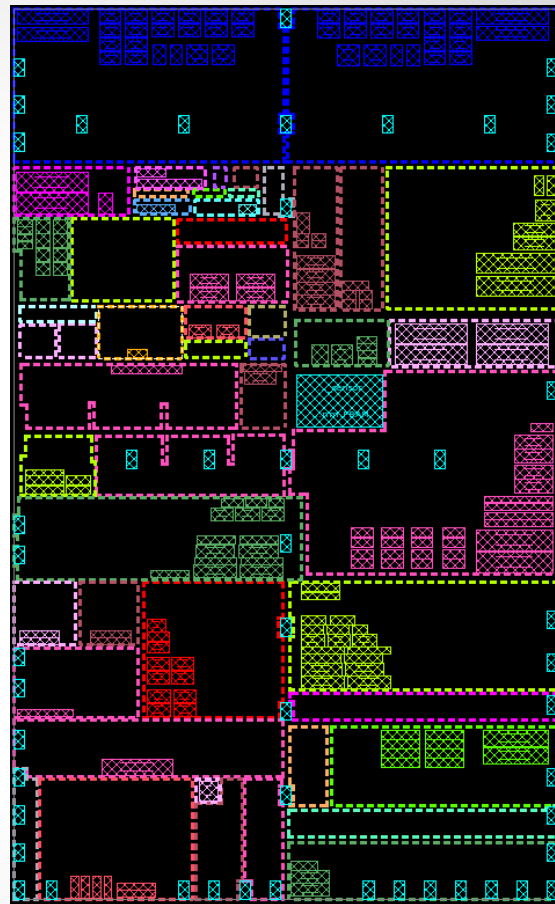
Проблемы размещения:

- разбиение на оптимальное число блоков
- размещение блоков на верхнем уровне

Решения:

- создание исходного размещения на основе изучения архитектуры и функциональности устройства
- оценка полученного размещения средствами САПР

`create_fp_placement`
`optimize_fp_timing`



Верхний уровень p2_gри
количество блоков - 51 штк

Этап 1 Этап 2

Передаваемая информация:

- геометрические размеры и форма блока
 - расположение пинов (terminals)
 - информация о задержках/емкостях на пинах (SDC)
 - расположение макроблоков (soft_macros)
 - расположение вспомогательных элементов (tap_cells, Power_Switches, row, track)
 - конфигурация сеток земли-питания и синхронизации
- } (floorplan)

Этап 2: плоский маршрут для блоков

Плоский маршрут детально проработан на предыдущих проектах. Необходимо было доработать его с учётом специфики иерархического маршрута

Особенности:

Совмещение сетки земли-питания

Совмещение сетки синхронизации

Отработка граничных эффектов размещения и трассировки.

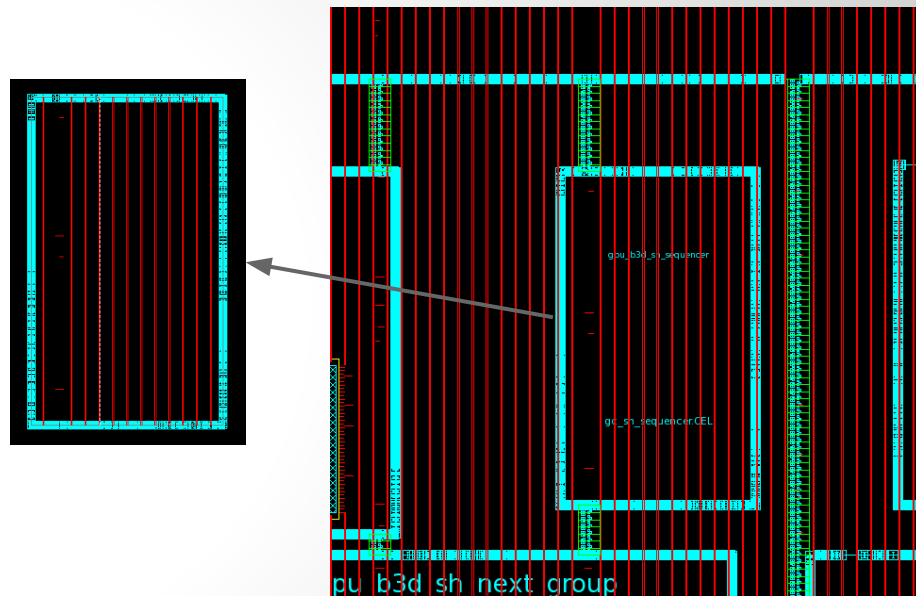
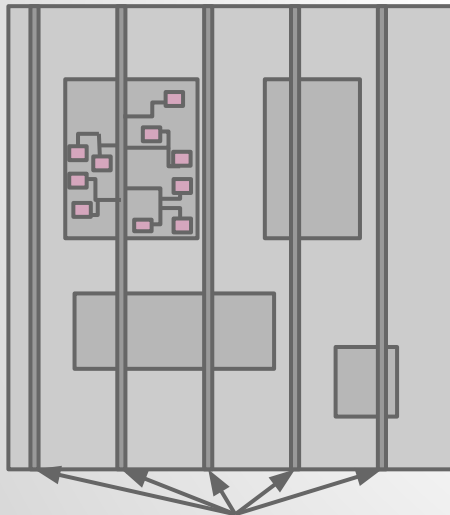


Рис: передача сетки земли-питания с целью дальнейшего совмещения на Этапе 3

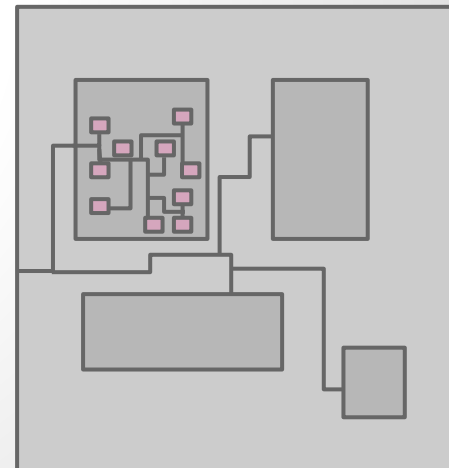
Конструкция системы синхронизации

Построение системы синхронизации
в общем случае



элементы сетки синхронизации

Построение системы синхронизации в
частном случае блока p2_gpi

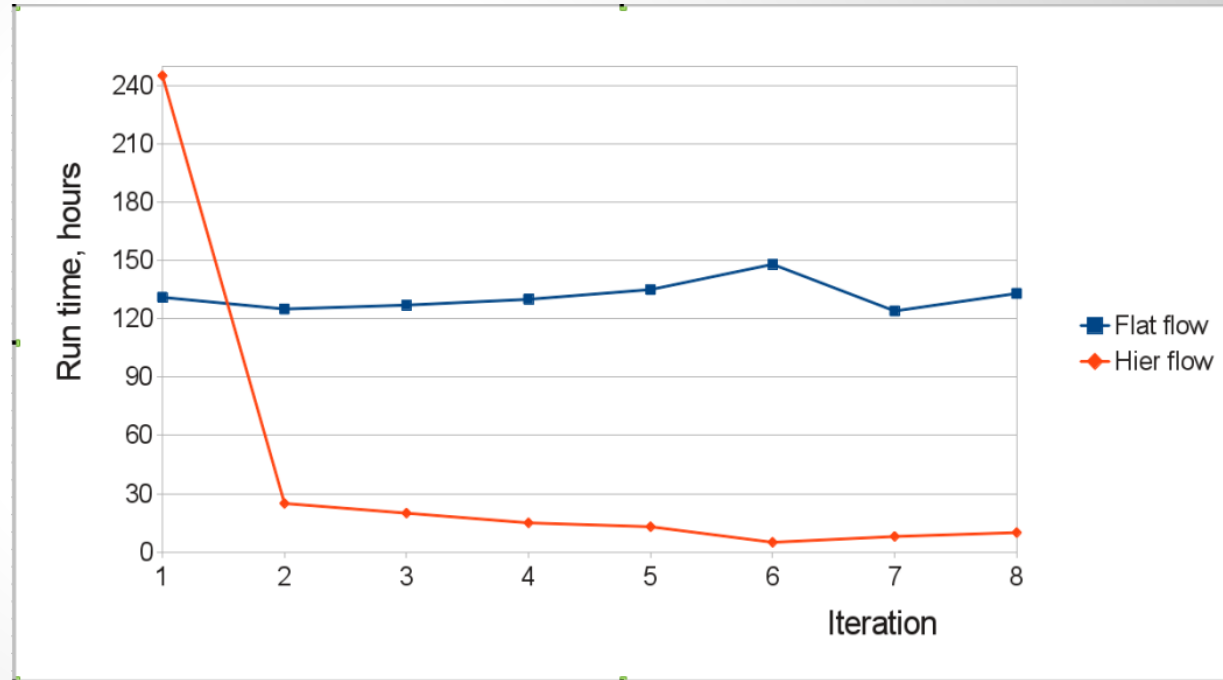


■ - стандартный
ЭЛЕМЕНТ

Результаты

Сравнение маршрутов с точки зрения времени прохождения.

Вывод: после первой итерации (первого изменения RTL) - иерархический маршрут требует существенно меньше времени



Зависимость времени запуска от числа итераций.

Результаты

Сравнение
утилизации блоков
на этапе 1 и этапе 2

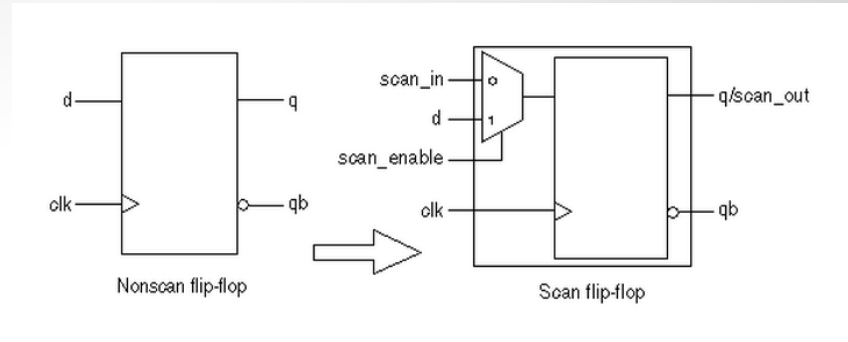
Название подблока	Uold - утилизация на верхнем уровне	Unew - утилизация подблока после 2 этапа	Unew/Uold
gc_pa	0,71	0,58	0,82
gc_ra_render	0,84	0,64	0,76
gc_ra_output	0,72	0,51	0,71
gc_ra_latencyFifo	0,78	0,72	0,93
gc_tx_states_rapper	0,69	0,62	0,91
gc_tx_ta_rapper_FT	0,65	0,67	1,04
gc_tx_filter_FT_top_0	0,65	0,56	0,86
gc_tx_filter_FT_top_1	0,66	0,58	0,88
gc_tx_L2_formatter_rapper	0,68	0,49	0,72
gc_tx_L2_cache_rapper_sm	0,68	0,54	0,80
gc_tx_ce_lfifo	0,67	0,83	1,24
gc_sh_l1ltx_request	0,73	0,67	0,92
gc_sh_2core_0	0,76	0,67	0,89
gc_sh_cache_top	0,76	0,68	0,89
gc_tx_discard_fifo	0,38	0,42	1,09
gc_tx_tc	0,79	0,63	0,81
gc_tx_cache_complex_3	0,78	0,68	0,87
gc_sh_2core_1	0,76	0,66	0,88
gc_sh_instruction	0,77	0,74	0,96
gc_sh_local_storage_interface	0,74	0,64	0,86

Спасибо за внимание!

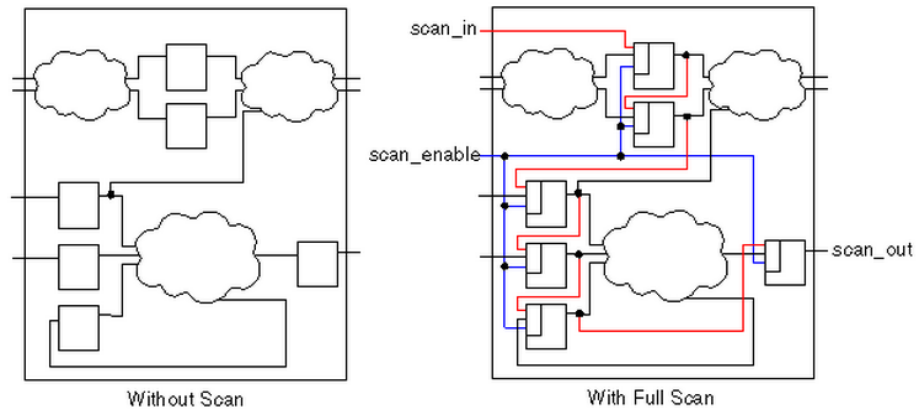
- Синтез

Для каждого подблока создаются $3 \cdot N$ портов, где N - количество скан цепей в блоке.

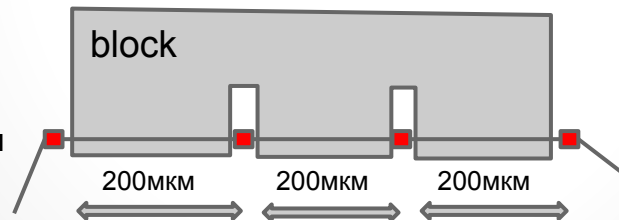
Затем с использованием этих портов строятся скан-цепи

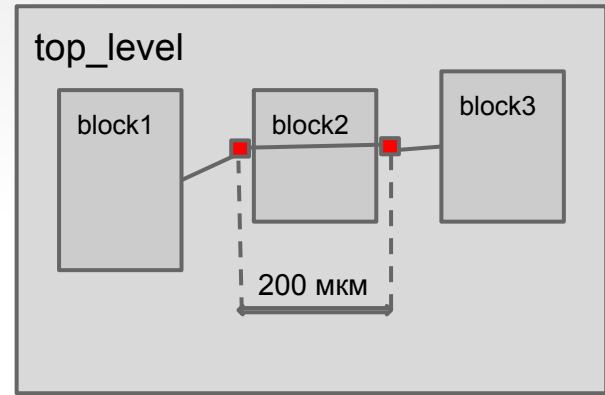


Замена элементов при построении цепи



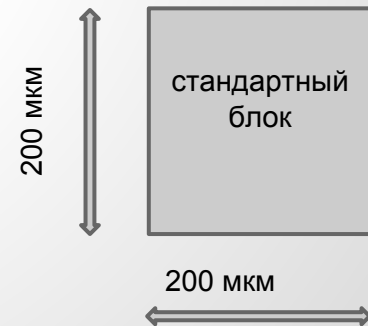
В двух частных
случаях блоки
проектировались с
определенной
формой чтобы обойти
это ограничение



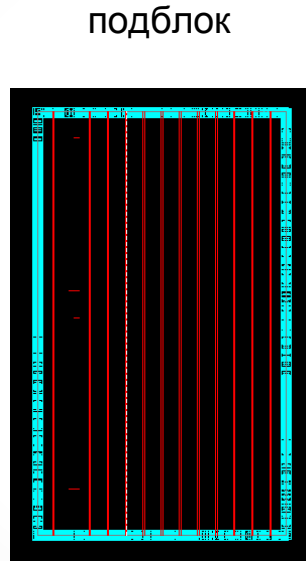


■ - буферизирующая
ячейка

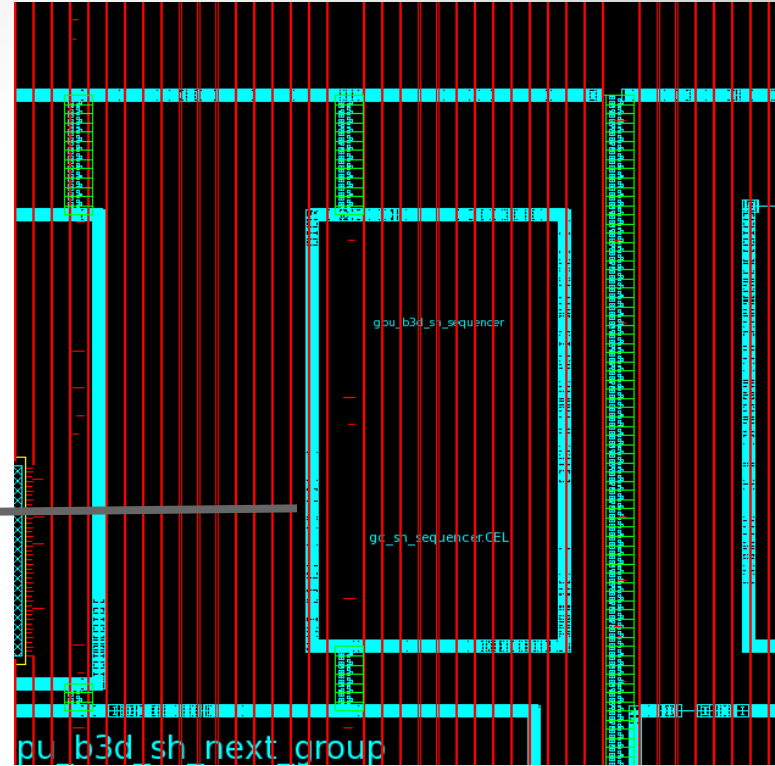
Среднее расстояние между буферизирующими ячейками - 200 мкм. Следовательно для разводимости на верхнем уровне размер подблока не должен превышать 200 мкм



- Синтез
- Подгрузка флорплан файлов
 - Подгрузка сетки земли - питания



Верхний уровень



Сетка земли-питания и расположение особых ячеек (tap, power switch) были скопированы в подблоки, для того чтобы при подстановке на верхний уровень все эти элементы были синхронизированы.

Проблема системы синхронизации с блоком p2_gpi

