

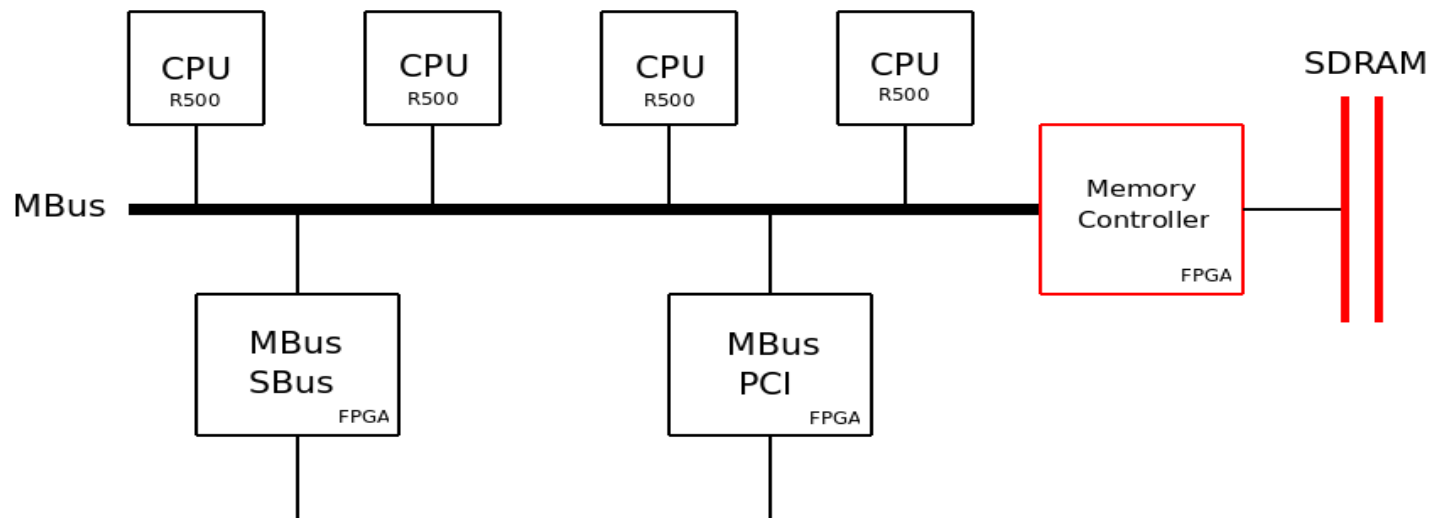
Московский физико-технический институт (государственный университет)  
Факультет радиотехники и кибернетики  
Кафедра информатики и вычислительной техники  
Магистерская диссертация

## **Реализация контроллера памяти DDR2 SDRAM на основе Altera MegaCore**

Студент: Кошляк Вадим, группа 816  
Научный руководитель: Фельдман В. М.

# Предпосылки

Вычислительный комплекс на базе процессора R500



В проектах с процессором МЦСТ-R500 используется память типа SDR SDRAM. На текущий момент данный стандарт является устаревшим и практически отсутствует на рынке микроэлектроники. Как следствие:

- Разъемы SDR SDRAM очень трудно приобрести
- Модули памяти SDR SDRAM имеют неоправданно высокую СТОИМОСТЬ

# Возможные пути решения проблемы

Исключить использование разъемов SDR SDRAM —  
распаивать чипы памяти прямо на плату.

Недостатки:

- высокая стоимость
- низкая ремонтнопригодность

Перейти на использование новых типов памяти, к примеру,  
DDR2 SDRAM

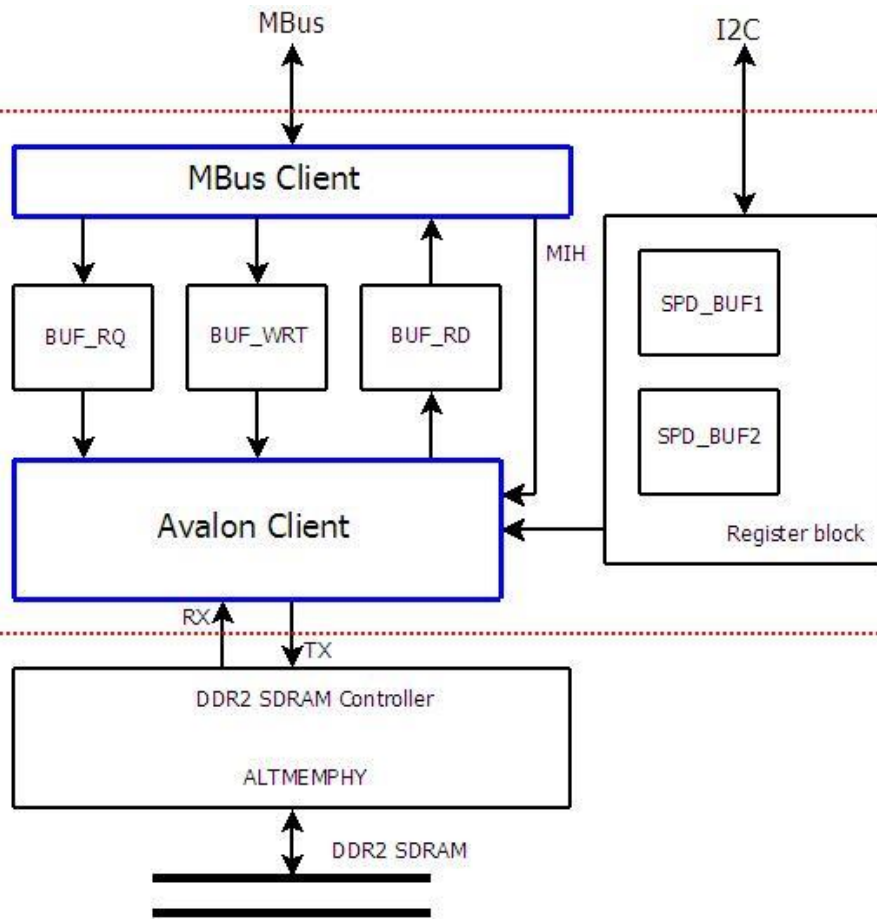
Недостатки:

- замена ПЛИС содержащей контроллер памяти
- разработка нового контроллера памяти

# Постановка задачи

Разработать и реализовать контроллер памяти DDR2 SDRAM на ПЛИС Altera Cyclone 4 с использованием мегафункции Altera Memory Controller Mega Core, для использования в вычислительном комплексе на базе процессоров МЦСТ-R500 через интерфейс MBus. Также требуется соблюсти программную совместимость с ранее используемым контроллером памяти SDR SDRAM.

# Общая схема устройства



Устройство состоит из блоков:

**Mbus Client** — модуль, отвечающий за прием запросов и выдачу данных на MBus-интерфейсе

**Register block** — блок регистров, отвечающих за поддержку имеющегося ПО и хранящий информацию о подключенных модулях памяти

**Resync Buffers** — набор буферов, реализующих пересинхронизацию между Avalon и MBus синхросигналами и обеспечивающих неразрывность потока транзакций

**Avalon Client** — модуль, реализующий доступ к мегафункции DDR2 SDRAM Controller через интерфейс Avalon MM

**DDR2 SDRAM Controller** — мегафункция, обеспечивающая физический доступ к DDR2 SDRAM разъемам

# Характеристики контроллера памяти

Системная шина MBus:

- Частота – 83 MHz.
- Разрядность — 64
- Максимальный размер запроса — 32 байта

Интерфейс с мегафункцией - Avalon MM:

- Частота 200 MHz
- Разрядность шины данных — 128

SPD память:

- Доступ через I2C частотой 100 KHz
- Емкость — 2 буфера по 256 КБ

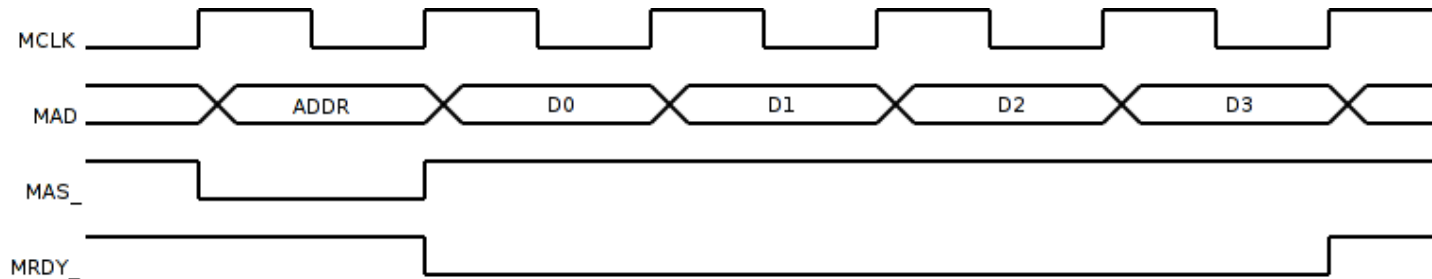
# Типы поддерживаемых транзакций

Контроллер обрабатывает запросы от процессоров или устройств ввода-вывода, приходящих на системную шину MBus.

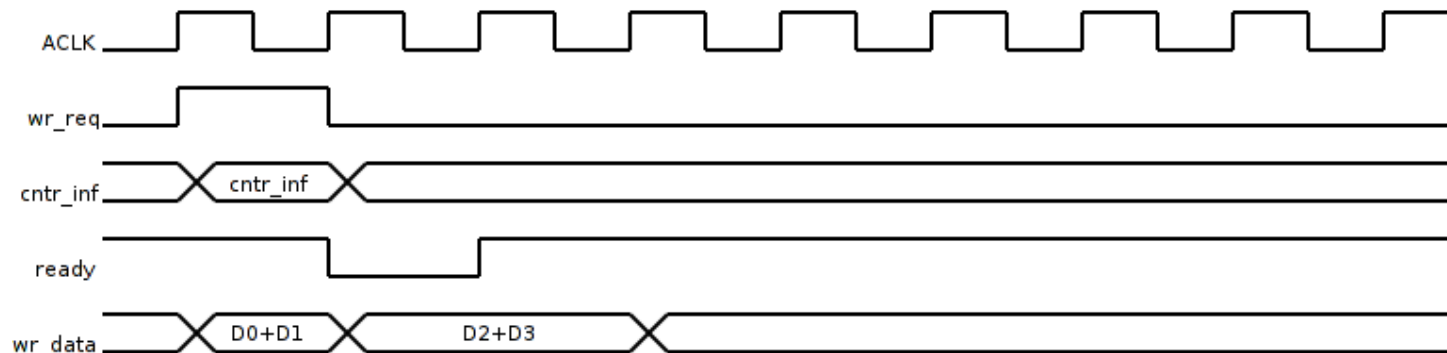
- Read (RD)
- Write (WR)
- Coherent Read and Invalidate (CRI)
- Coherent Write and Invalidate (CWI)
- Coherent Read (CR)
- Coherent Invalidate (CI)

Поддержка транзакций **CWI/CRI/CR/CI** является частью реализации протокола поддержки когерентности в системе.

# Транзакция записи

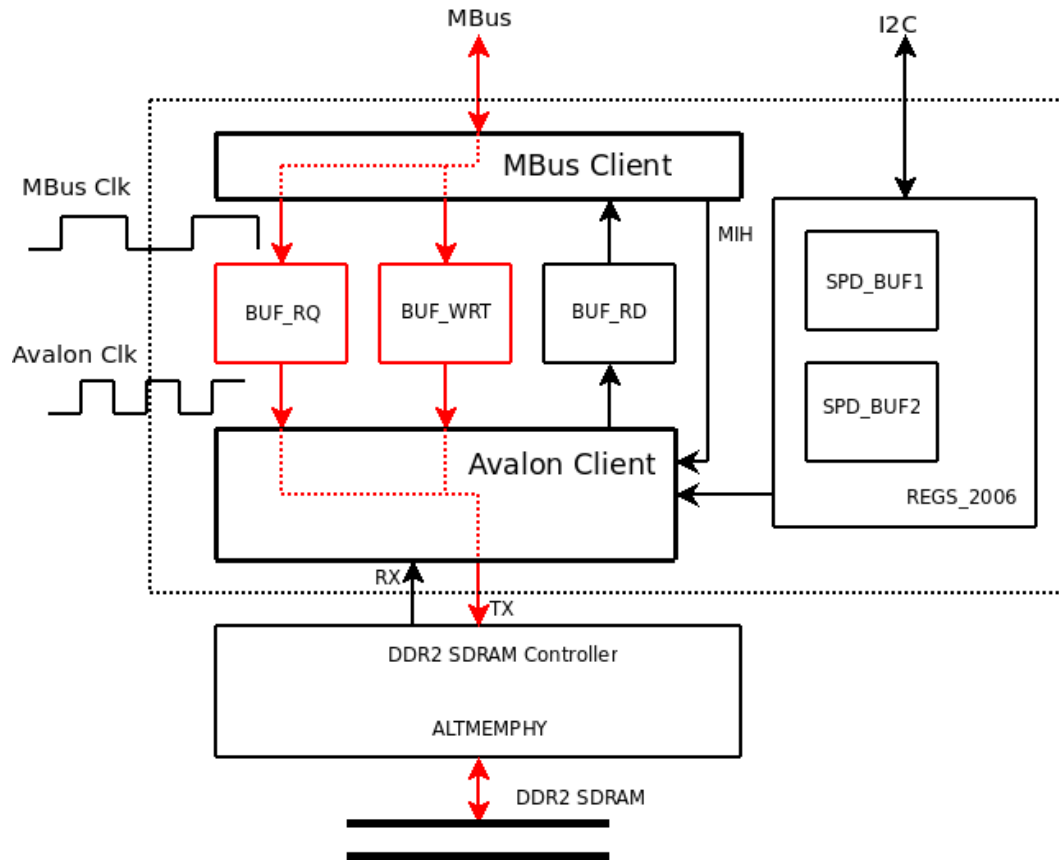


- CPU инициирует запрос записи на системной шине MBus и пересылает данные.
- Соответствующие этому запросу данные принимаются MBus Client'ом и передаются в буфер
- Получив сигнал о присутствии запроса, Avalon Client инициирует соответствующую транзакцию на Avalon-интерфейсе.





# Исполнение команды Write



Прием запроса на шине MBus

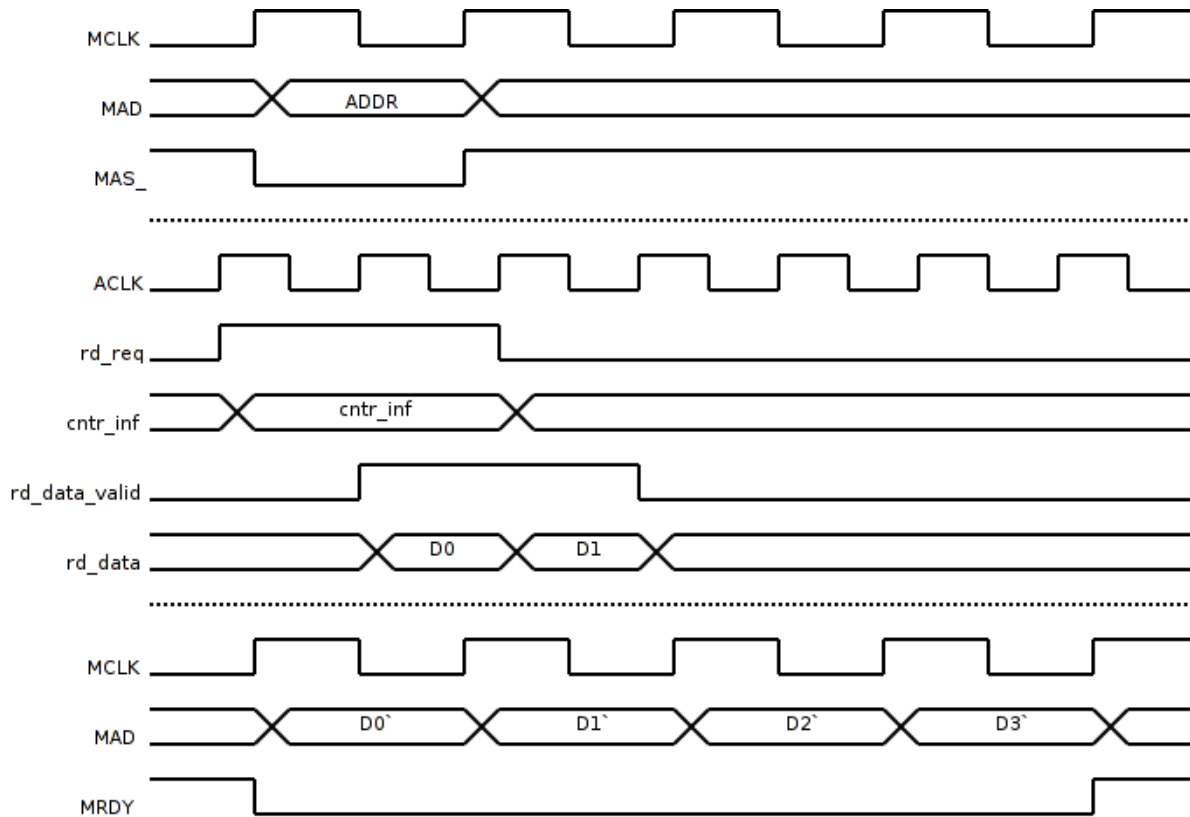
Запись адреса, типа транзакции, размера в BUF\_RQ и запись данных в BUF\_WRT

Пересинхронизация запроса на тактовый сигнал Avalon интерфейса

Выдача запроса на запись на Avalon-интерфейс.

Выполнение записи в модуль памяти

# Транзакция чтения.

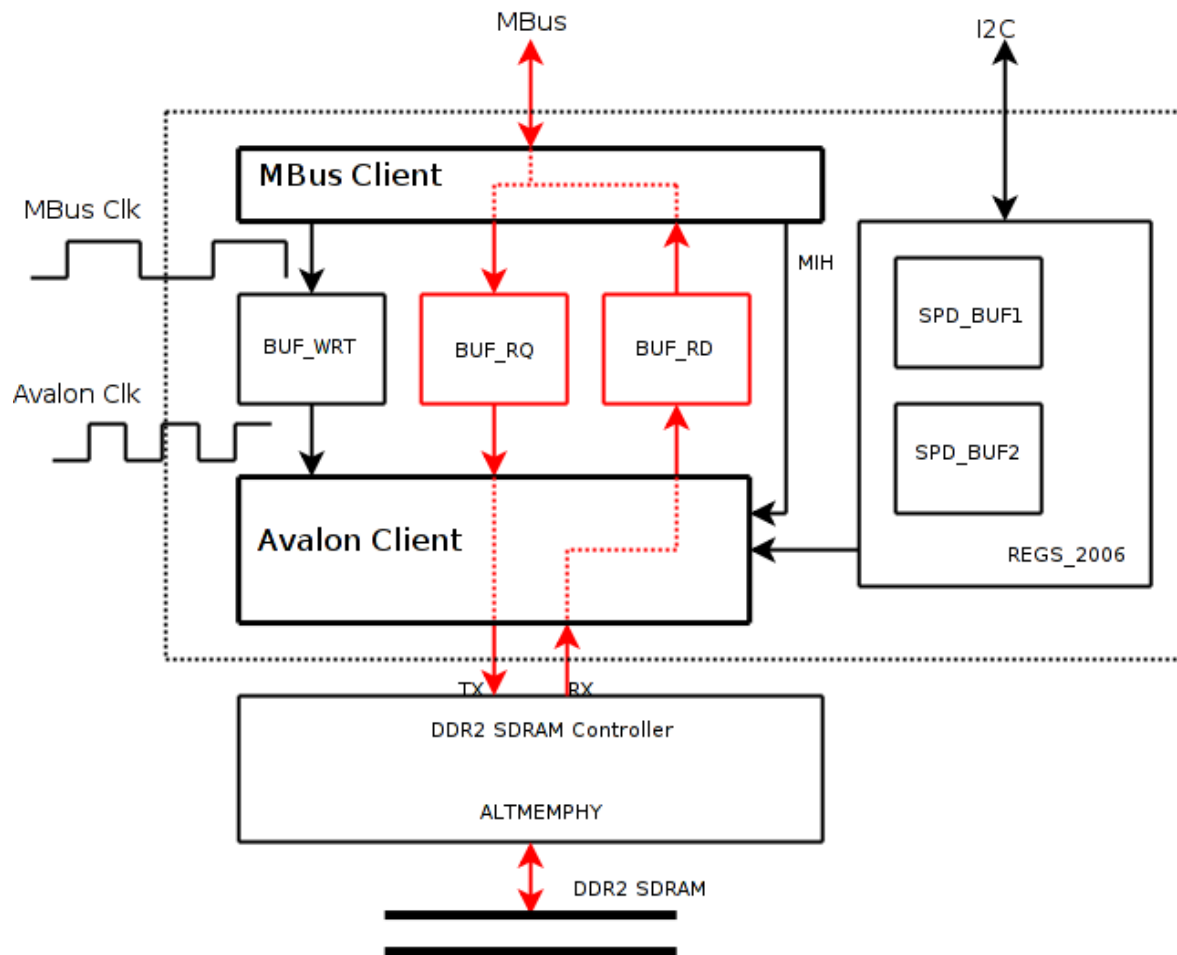


- CPU инициирует запрос чтения на системной шине MBus. MBus Client принимает его.

- Avalon Client выдает запрос на чтение на Avalon-интерфейс. Мегафункция принимает его и выдает данные.

- Получив сигнал о наличии данных Mbus Client выдает данные на MBus-интерфейс.

# Исполнение команды Read



Запись адреса, типа транзакции, размера в BUF\_RQ

Выдача запроса на чтение на Avalon-интерфейс.

Выполнение транзакции чтения мегафункцией на интерфейсе с модулем памяти

Получение данных и запись их в BUF\_RD

Выдача данных на Mbus

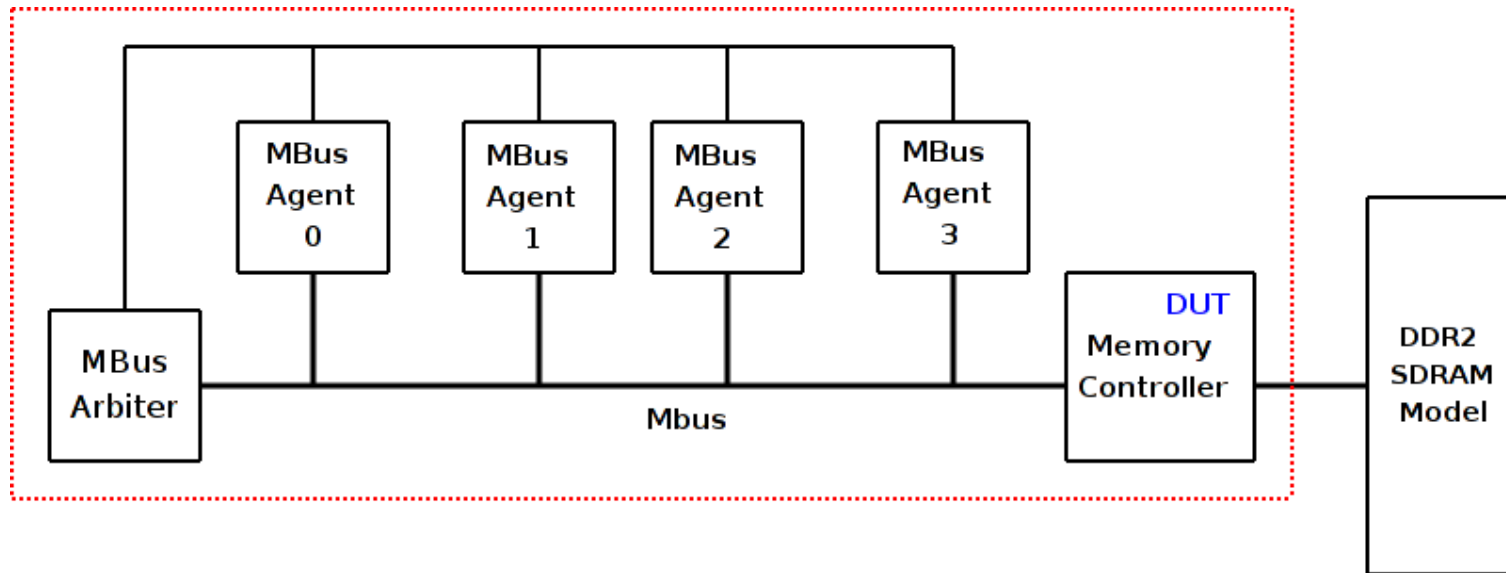
# Megacore DDR2 SDRAM Controller with ALTMEMPHY



Требования к DDR2 SDRAM Controller:

- Возможность реализации на бюджетной ПЛИС Altera Cyclone 4
- Встроенный блок регистров CSR
- Поддержка детектирования и коррекции ошибок

# Тестовое окружение для верификации устройства



Для формирования тестового окружения использовались:

**MBus Agent** – модуль имитирующий работу процессора, инициирует транзакции на шине MBus

**Mbus Arbitrer** – блок регулирующий доступ агентов к MBus шине и проверяющий корректность транзакций

**Memory Controller** – тестируемое устройство (Device Under Test)

**DDR2 SDRAM Model** – verilog-модель памяти из открытых источников

# Результаты

- Спроектировано и разработано RTL описание контроллера памяти.
- Реализовано тестовое окружение для автономного тестирования.

На данный момент, разработка контроллера памяти DDR2 SDRAM находится на стадии автономного тестирования.

Спасибо за внимание.