

Разработка программного комплекса для верификации процессора с помощью прототипа

М.П. Рыжов^{1,2,3}, П.В. Фролов^{1,2}

¹ ЗАО «МЦСТ»

² Институт электронных управляющих машин им. И.С. Брука

³ Московский физико-технический институт

Неотъемлемой частью процесса верификации разрабатываемых в ЗАО «МЦСТ» микропроцессоров общего назначения является логическое тестирование на прототипе: описание аппаратуры синтезируется и программируется в ППВМ (FPGA), что делает возможным запуск операционной системы и прикладных задач пользователя. Таким образом, прототипирование микропроцессора позволяет проводить поиск ошибок и отладку как аппаратуры, так и программного обеспечения.

Для облегчения отладки семейства процессоров ЗАО «МЦСТ» снабжены модулем, позволяющим осуществлять отладку программно-аппаратного комплекса на архитектурном уровне. Подключение к процессору осуществляется с помощью стандартного [1] интерфейса JTAG, в том числе определяющего взаимодействие с тестируемым устройством через набор регистров данных (DATA registers). Для работы с этим модулем было разработано программное обеспечение (инженерная консоль), предоставляющее доступ к отладочным средствам микропроцессора, реализующее графический интерфейс пользователя для задания параметров операций и осуществляющее программирование регистров TAP-контроллеров устройств целевой машины. Непосредственный доступ к регистрам TAP-контроллера вычислительного ядра процессора целевой машины позволяет считывать содержимое различных блоков памяти буфера инструкций и запускать операции самотестирования (BIST), а также останавливать дешифрацию команд, получаемых из памяти, и подавать с консоли произвольные команды для исполнения их процессором целевой машины. Эта возможность вкупе с доступом со стороны консоли к программно-видимому регистру позволяет осуществлять исполнение заданной извне и при этом зависящей от состояния целевой машины последовательности инструкций (например, процедуры отладочного чтения и поиска данных в кэш-памятях различных уровней). Также инженерная консоль посредством работы с регистрами TAP-контроллеров целевой машины обеспечивает доступ к управлению встроенными логическими анализаторами, осуществляющими сохранение истории значений сигналов внутренней логики процессора и позволяющими производить останов процессора при выполнении заданных условий на значения сигналов. С помощью консоли осуществляется конфигурирование и запуск логических анализаторов, после чего

происходит считывание данных анализаторов и их представление в стандартном [2] формате.

Модуль отладки развивается вместе с архитектурой Эльбрус, однако остаётся актуальной задача сопровождения и расширения функциональности инженерной консоли для всех поколений процессоров. Модульная архитектура инженерной консоли позволяет добавлять поддержку новой функциональности одновременно для всех программно совместимых версий архитектуры процессора, реализованная возможность конфигурирования состава JTAG-цепи позволяет работать с различными комплектами вычислительных комплексов. Инженерная консоль активно используется инженерами при отладке аппаратуры на стадии проектирования, отбраковке готовых микросхем, наладке вычислительных комплексов, а также программистами для отладки операционной системы и двоичного компилятора.

При верификации с использованием прототипа вычислительного комплекса в ЗАО «МЦСТ» [3] используется метод загрузки тестов в обход стандартного тракта доступа в память, что сокращает накладные расходы на инициализацию прототипа и обеспечивает возможность внешнего управления сигналом сброса. Данный подход позволяет более гибко, чем программные средства, исполняемые на прототипе, управлять процессом исполнения пакета тестов. Появляется возможность задать максимальное время исполнения тестов, отслеживать статус прототипа, получать информацию о сбоях каналов межпроцессорных связей. В рамках данной работы были разработаны программные средства, обеспечивающие работу системы запуска тестов.

Для упрощения распределенной генерации тестов используется клиент-серверная архитектура. Сервер запускается на инженерной машине, непосредственно подключенной к прототипу (загрузка теста осуществляется через USB-контроллер Cugpress SX2, отладочный вывод прототипа осуществляется через последовательный порт). Клиенты исполняются на серверах, на которых осуществляется генерация тестов, передавая образы тестов на сервер и получая ответы, содержащие выведенные в последовательный порт данные и код ошибки. Для обеспечения согласования скоростей исполнения и генерации как на стороне сервера, так и на стороне клиента используются очереди, позволяющие сгладить колебания темпа генерации тестов и блокирующие передачу тестов на сервер в случае переполнения его очередей. На стороне сервера также производится равномерное распределение времени прототипа между клиентами.

Сервер поддерживает запуск одиночных тестов, пакетное исполнение локальных тестов и загрузку тестов по сети. Кроме того, осуществляется протоколирование прогона тестов и контроль использования таких ресурсов инженерной машины, как оперативная память и сетевые соединения. Также для обеспечения надежности и упрощения регрессионного

тестирования системы была реализована возможность имитации подключения к прототипу. Реализована операция загрузки кода тестов в памяти всех процессоров многопроцессорной NUMA-системы.

Обнаруженные с помощью прототипа ошибки требуют локализации и разбора. В случаях, когда воспроизведение ошибки на RTL-модели не представляется возможным, а дополнительная трассировка с использованием последовательного порта не позволяет воспроизвести требуемую ситуацию, используется инженерная консоль.

Применение системы запуска тестов на прототипах разрабатываемых в ЗАО «МЦСТ» вычислительных комплексов позволило обнаружить значительное количество аппаратных ошибок, пропущенных на этапе верификации с использованием RTL-моделей.

Литература

1. IEEE Std 1149.1-1-2001 (Revision of IEEE Std 1149.1-1990). IEEE Standard Test Access Port and Boundary Scan Architecture.
2. IEEE Std 1364-2001 (Revision of IEEE Std 1364-1995). IEEE Standard Verilog Hardware Description Language. 18. Стр. 324.
3. Будылин Ф. К. и др. ОПЫТ ПРОТОТИПИРОВАНИЯ МИКРОПРОЦЕССОРОВ КОМПАНИИ ЗАО «МЦСТ» //Вопросы радиоэлектроники. – 2012. – Т. 4. – №. 3.