

Московский физико-технический институт (государственный университет)  
Факультет радиотехники и кибернетики  
Кафедра информатики и вычислительной техники

Магистерская диссертация

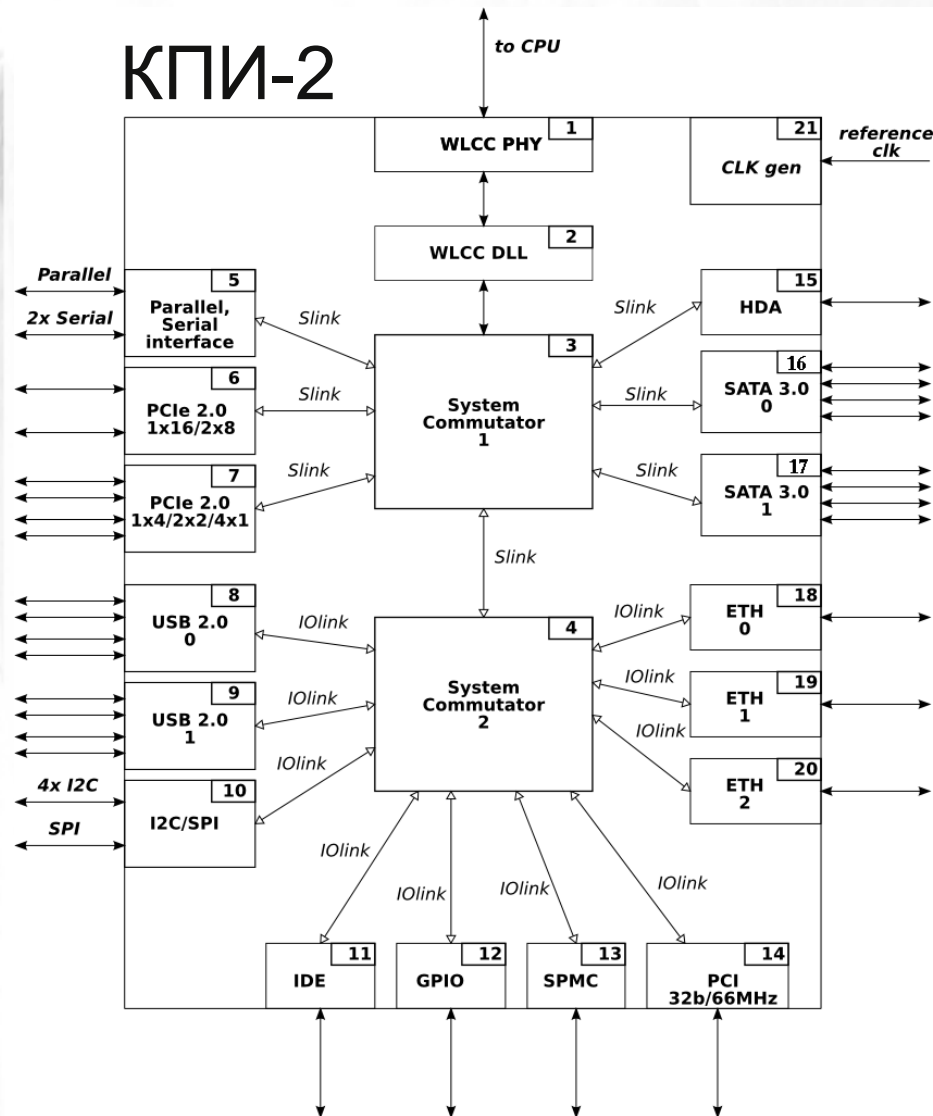
# Реализация контроллеров PCI-Express и SATA в микросхеме контроллера периферийных интерфейсов КПИ-2

Студент: Белянин Игорь, группа 713

Научный руководитель: к.т.н. Груздов Ф.А.



# Предпосылки



Микросхема “КПИ-2” (Контроллер периферийных интерфейсов) является “южным мостом” второго поколения используемым в вычислительных комплексах, выпускаемых нашей компанией.

Согласно техническому заданию, микросхема “КПИ-2” должна иметь контроллеры всех современных интерфейсов, в том числе PCI-Express и SATA.

# Постановка задачи

1) Реализация двух контроллеров на два и четыре интерфейса PCI-Express второго поколения (Root Complex), с технологией разделения физического уровня, поддерживающих режимы работы:

x4: 1x4, 2x2, 4x1

x16: 1x16, 2x8

2) Реализация в составе “КПИ-2” двух 4-х портовых контроллеров интерфейса SATA (Host Controller) третьего поколения, с поддержкой программных интерфейсов Legacy и AHCI.

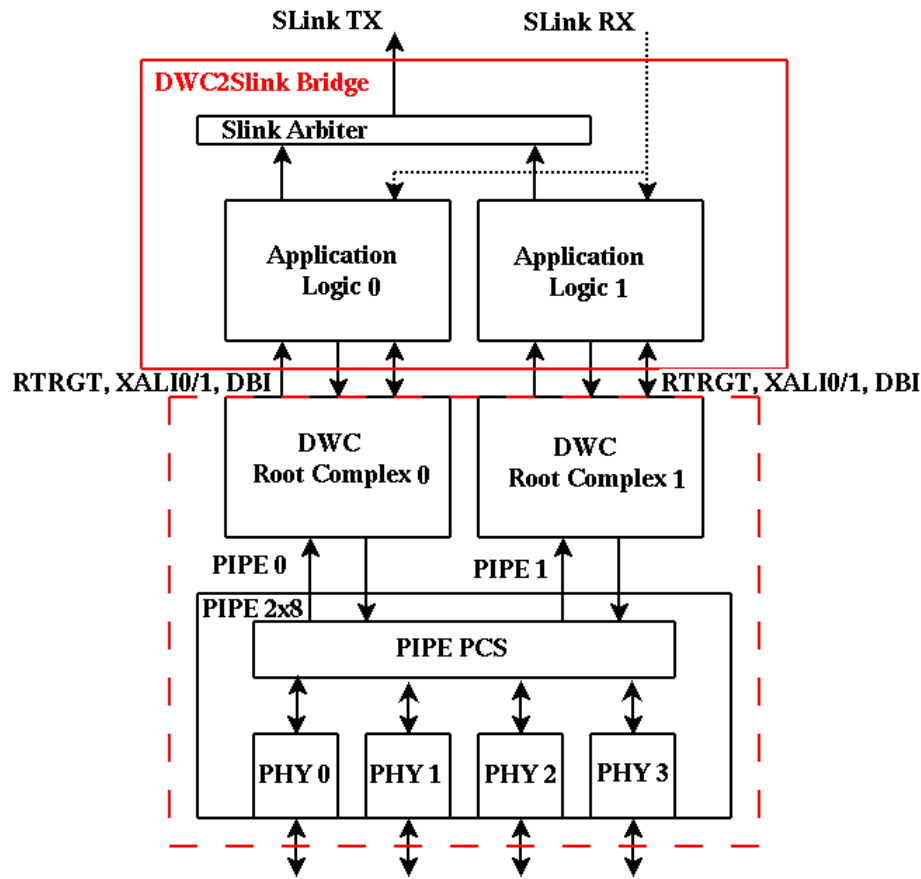
# PCI-Express Root Complex

Выбор типа разработки:

- 1) **Разработка “с нуля”**
  - + большая гибкость реализации
  - + технологическая безопасность
  - большой срок разработки
- 2) **Интеграция готового решения**
  - + меньший срок разработки
  - + поддержку и исправление кода осуществляет поставщик
  - большая стоимость
- 3) **Модернизация существующих разработок**
  - + все плюсы разработки с нуля
  - наследственность решений

# PCI-Express Root Complex

## Общая схема устройства



Контроллер состоит из блоков:

**DWC2Slink Bridge** – мост обеспечивающий связь интерфейсов DWC с интерфейсом системного коммутатора, также содержит в себе модуль арбитр Upstream запросов

**DWC RC(n)** – DesignWare Cores Root Complex, готовое решение фирмы Synopsys, на выходе имеет четыре интерфейса: RTRGT1, XALI0/1 и DBI

**PIPE PCS** – модуль отвечающий за возможность разделения физического уровня - bifurcation

**PHY Layer** – физический уровень, отвечает за передачу данных на tx/rx lane, DWC PCIe PHY UP5

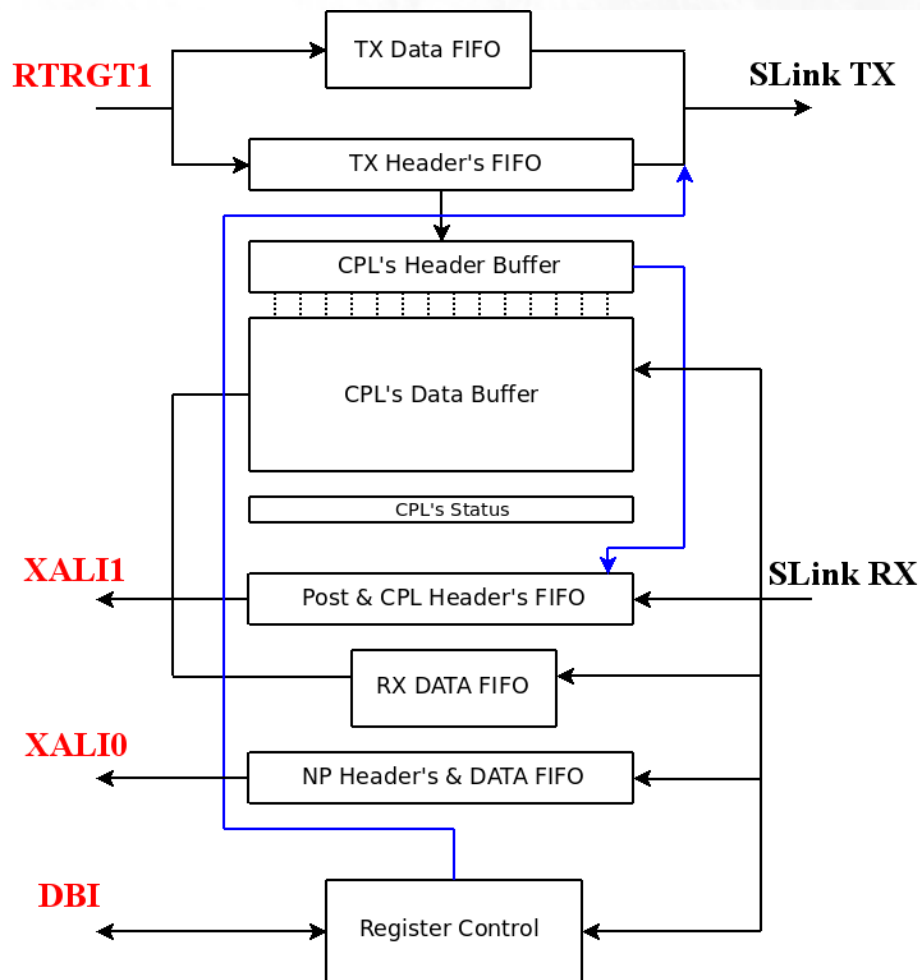


# PCI-Express Root Complex

## Требования к блоку DWC2SLink Bridge

- Внешний интерфейс Slink с характеристиками:  
шина данных: x16 – 128 бит, x4 – 64 бита  
тактовая частота: x16 – 500 MHz, x4 – 250/500 MHz
- Максимальный Upstream запрос – 4 Kbyte
- Максимальное количество данных в пакете – 256 byte
- Upstream запрос не должен пересекать границу 64 byte.
- Обеспечение максимально возможной пропускной способности устройства
- Отсутствие взаимоблокировок (deadlock)

# PCI-Express Root Complex



## Application Logic

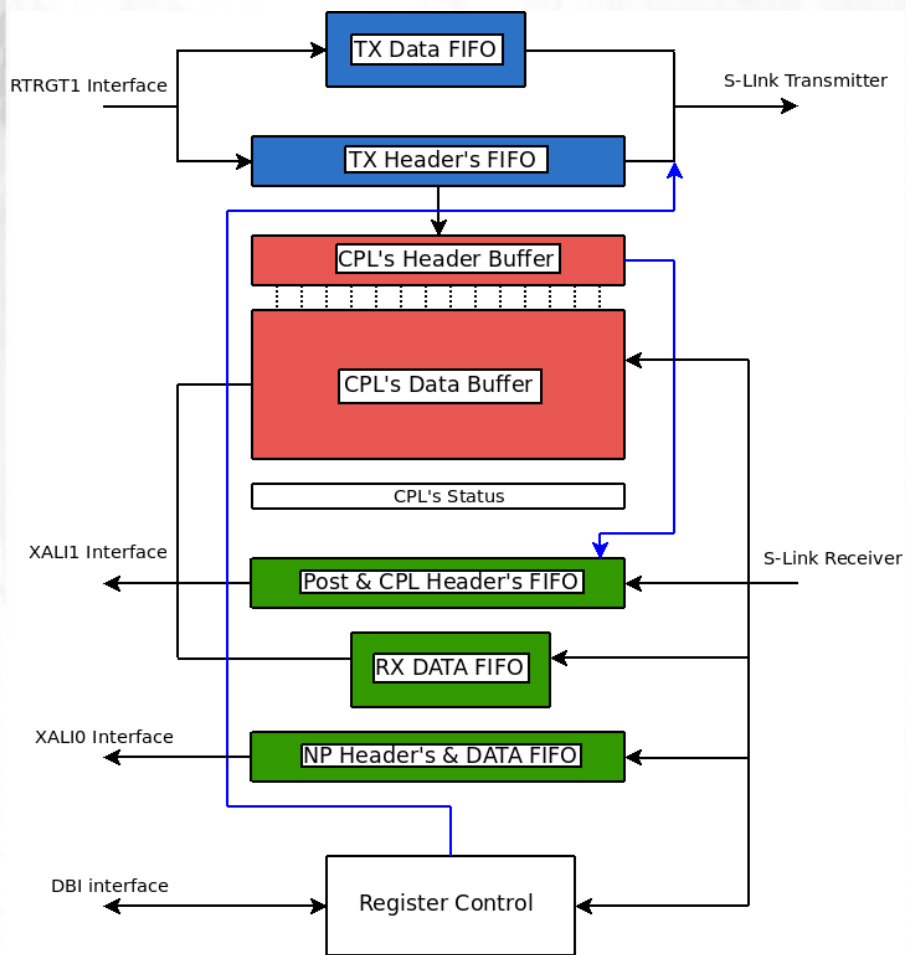
Связующее звено между интерфейсами DWC RC и интерфейсом системного коммутатора.

RTRGT1 – интерфейс передачи данных системному коммутатору.

XALI0/1 – интерфейсы приема данных от системного коммутатора.

DBI – двунаправленный интерфейс доступа к регистрам DWC RC.

# PCI-Express Root Complex Application Logic



Обеспечение максимальной пропускной способности

Возможность безостановочной передачи данных определяется размерами буферов для хранения данных. Принцип выбора размеров буферов:

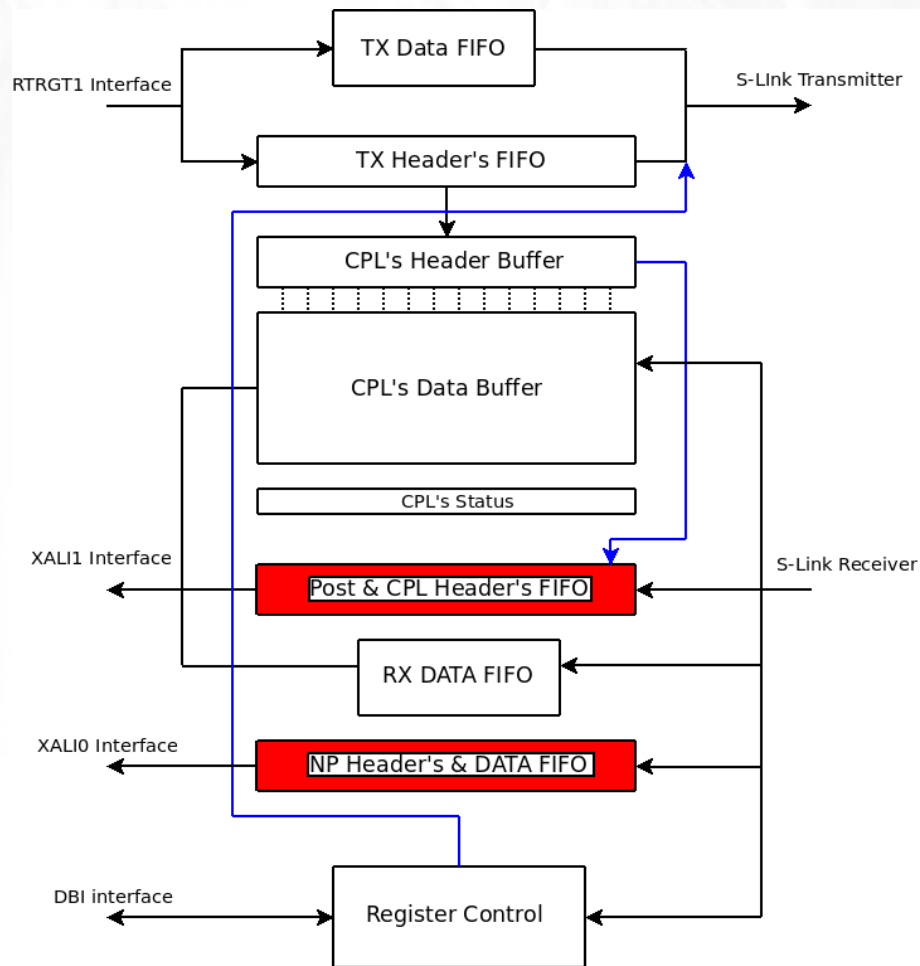
**буфер для ответов:** время возвращения ответа не должно превышать время опустошения заполненного буфера, ~12,7 64-х байтовых ответов (выбрано 16)

**буфер для передачи запросов:** компенсация времени преобразования пакета (разбиения большого запроса на меньшие) и времени освобождения ресурса, ~ 6 запросов (выбрано 8)

**буфер для приема запросов:** компенсация времени тратящегося на освобождение ресурса, 4 для NP Request, и 4 для CPL & Post Req



# PCI-Express Root Complex Application Logic



**Избежание взаимоблокировок**  
Стандарт PCI-Express подразумевает отсутствие deadlock-ситуаций при соблюдении правил PCI-Express Ordering, на каждом узле маршрутизации.

Для реализации данных правил на направлении Downstream происходит расщепление потока данных на 2 очереди:

- 1) **NP Requests Queue** – очередь непочтовых запросов
- 2) **Posted Requests & Completions Queue** – очередь почтовых запросов и завершений.

# SATA Host Controller

Выбор типа разработки:

1) Разработка “с нуля”

- + большая гибкость реализации
- + технологическая безопасность
- большой срок разработки

2) **Интеграция готового решения**

- + меньший срок разработки
- + качество кода
- большая стоимость

3) **Модернизация существующих разработок**

- + все плюсы разработки с нуля
- наследственность решений

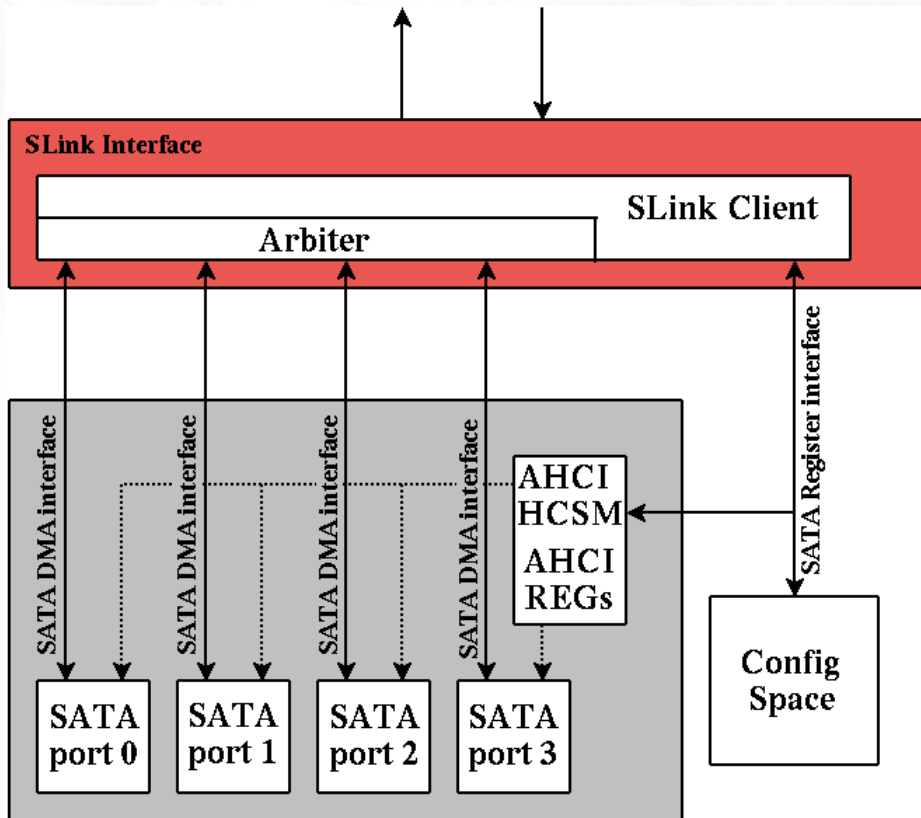
# SATA Host Controller

## Сравнение SATA HC в “КПИ-1” и “КПИ-2”

	SATA2 HC (КПИ-1)	SATA3 HC (КПИ-2)
Внешний интерфейс	IO-Link	SLink
Программные интерфейсы	Legacy AHCI	Legacy AHCI
Поколение стандарта	Gen2	Gen3
Количество портов	4	4
Физ.уровень	DWC SATA2 PHY 130nm	Snowbush 1,5-6 Gbps MultiStandard SerDes 65 nm
Ширина шины данных физ. уровня	10 бит	20 бит
Макс. Пропускная способность	3 GT/s	6 GT/s
Поддержка NCQ	-	+

# SATA Host Controller

## Блок-схема SATA HC в “КПИ-2”



Требования к модулю Slink client:

- Арбитраж DMA-запросов от различных портов - Round-Robin
- Переход с внутреннего интерфейса на пакетный Slink. Преобразование и переупорядочивание запросов в модуле Slink Client.
- Обеспечение максимальной пропускной способности
- Максимальная длина DMA-запроса 512 byte – 1 сектор в стандарте SATA.

# SATA Host Controller

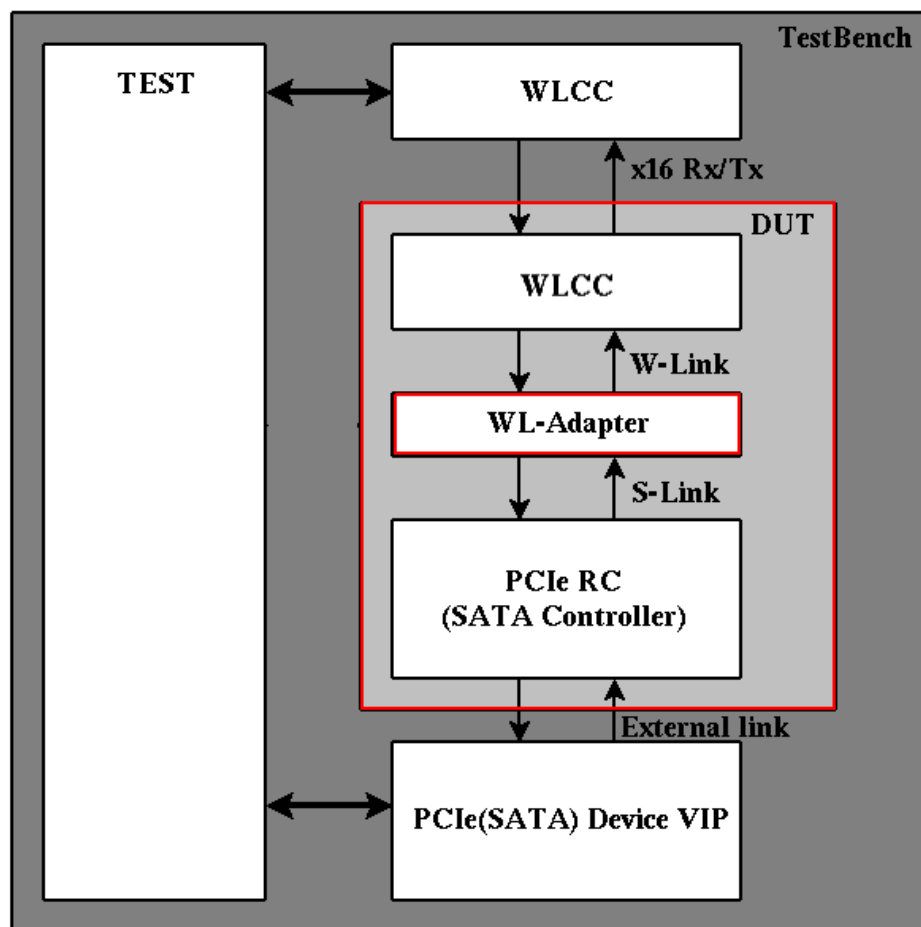
Интеграция Snowbush MultiStandard SerDes.

Особенности Snowbush MultiStandard SerDes в сравнении с Synopsys DWC SATA PHY:

- 1) Отсутствие механизмов OOB (Out-of-Band Sequence) и кодировки 8/10 бит.
  - разработаны модули **oob\_cotrol, 810code, 810decode**
- 2) Для работы на скорости Gen3 необходимо увеличить размерность шины данных физ. уровня с 10 до 20 бит.
  - **Link уровень** адаптирован к новому интерфейсу.
- 3) Наличие гибкой настройки с помощью управляющих регистров
  - реализован **программный доступ** к регистрам физического уровня.



# Программная верификация Автономное тестирование



Для обеспечения автономного тестирования контроллеров было выполнено:

- написан WL-Adapter, который используется как упрощенная несинтезируемая версия системного коммутатора
- создана “частичная сборка” DUT, в составе которой тестируется каждый контроллер

# Результаты

В рамках работы над микросхемой “КПИ-2” были спроектированы и разработаны RTL описания:

- PCI-Express Root Complex
- SATA Host Controller

Написаны “частичные сборки” для автономного тестирования данных контроллеров.

На данный момент контроллеры находятся на стадии автономного тестирования и ведется предварительный физ. дизайн. Отладка SATA HC проводится на прототипе.

**Спасибо за внимание!**